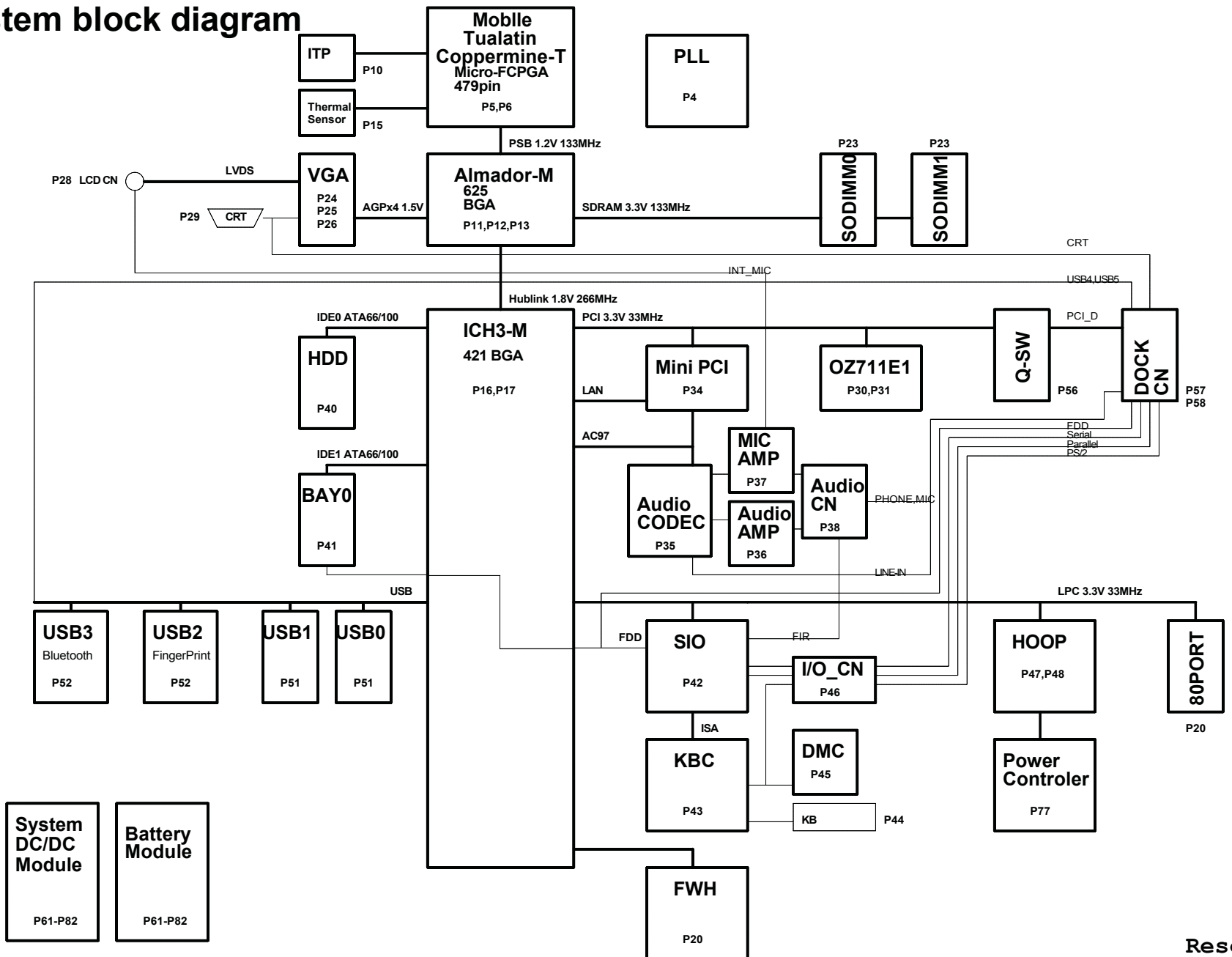
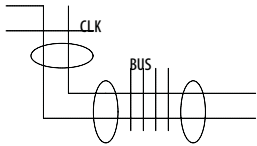
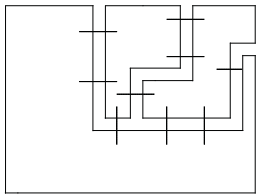


Laurel system block diagram



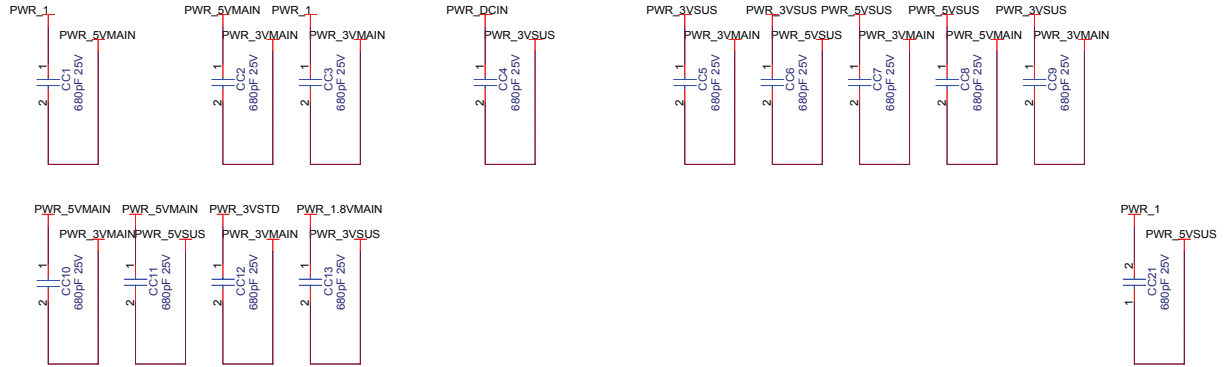
Resource

TITLE		Laurel	
DRAW. No.		C1CPxxxxx-X1	
Rev.		DATE	
Design	Appr.	Description	
2001.01.16	Komahara	Check	Yoshida
Appr.		Aoki	
FUJITSU LTD.			SHEET 2 / 82



本コンデンサは電源/グランド層に発生するベタプレーン同士を接続するためのものである。
 そのため、上記のようなベタ構成であれば、ポイントとなる個所にコンデンサを配置する。
 -クロックがベタをまたいで引く場合
 -Bus系がベタをまたいで引く場合(数本毎に1個間隔で)

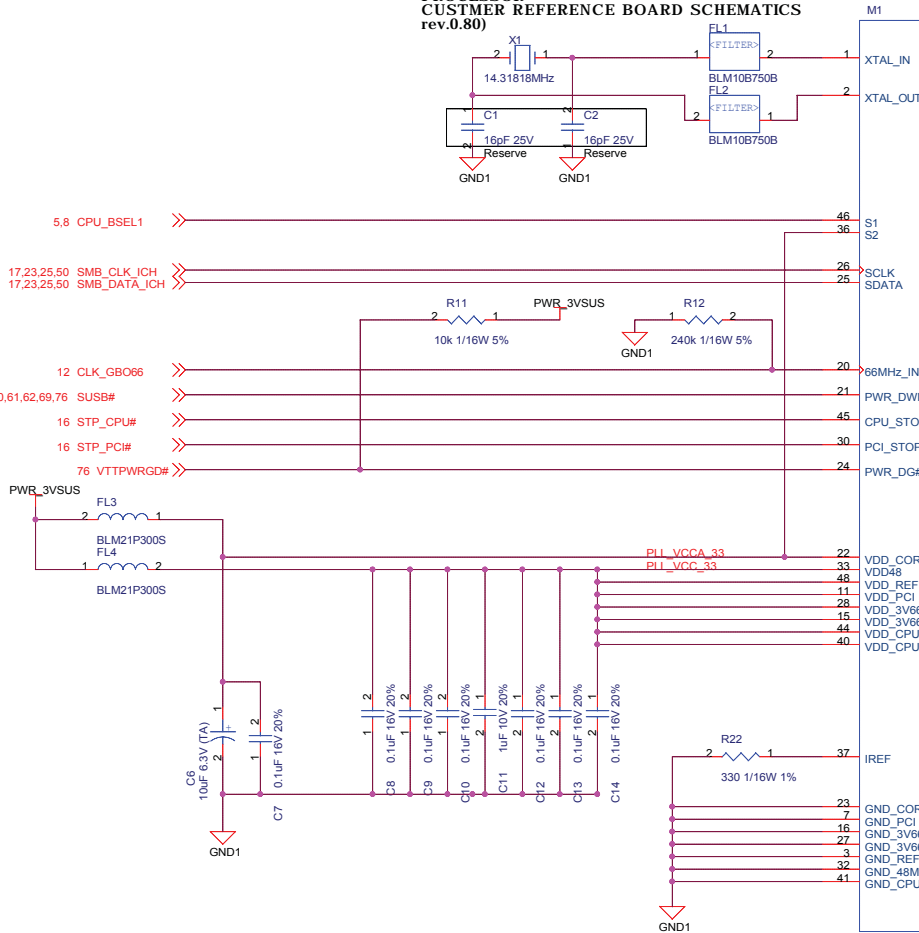
個数については、適宜増やすこと。



EMI

							TITLE	
							Laurel	
							DRAW. No.	
							C1CPxxxxx-X1	
							CAST	
Rev.	DATE	Design	Appr.	Description				
Design	2001.01.16	Komahara	Check	Yoshida	Appr.	Aoki	SHEET	
							FUJITSU LTD.	
							3 / 82	

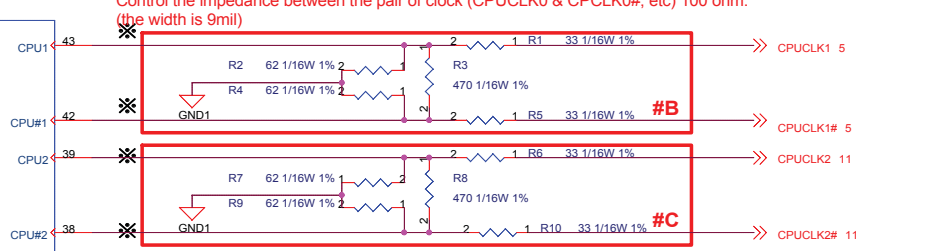
Place crystal within 500mils of Clk TITAN
(by ALMADOR-M CHIPSET/MOBILE TUALATIN
PROCESSOR
CUSTOMER REFERENCE BOARD SCHEMATICS
rev.0.80)



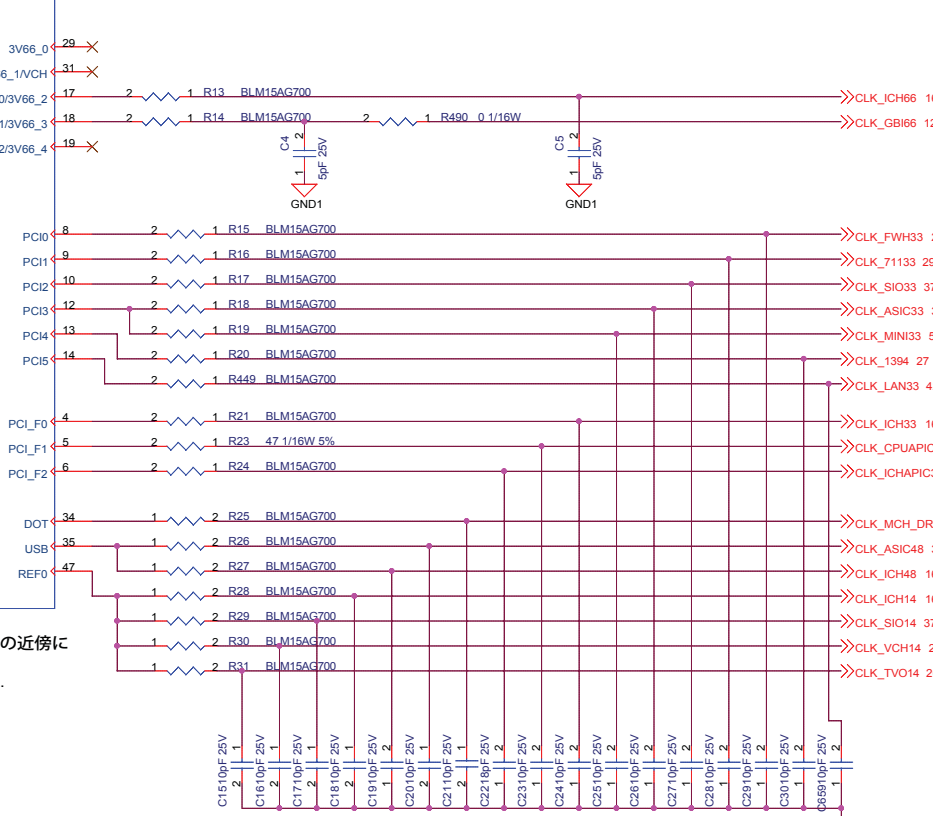
本ページのコンデンサは、PLLの近傍に配置すること。
Place these capacitors near PLL.

※のパターンライン・インピーダンスは、55Ωで引くこと。(5mil幅)
また、各対のクロックライン同士の間隔(CPUCLK0, CPUCLK0#間など3対)は、信号線間インピーダンス100Ωで引くこと。(9mil幅)

Control the impedance of signals that "*" are marked are 55 ohm. (the width is 5mil)
Control the impedance between the pair of clock (CPUCLK0 & CPCLK0#, etc) 100 ohm. (the width is 9mil)



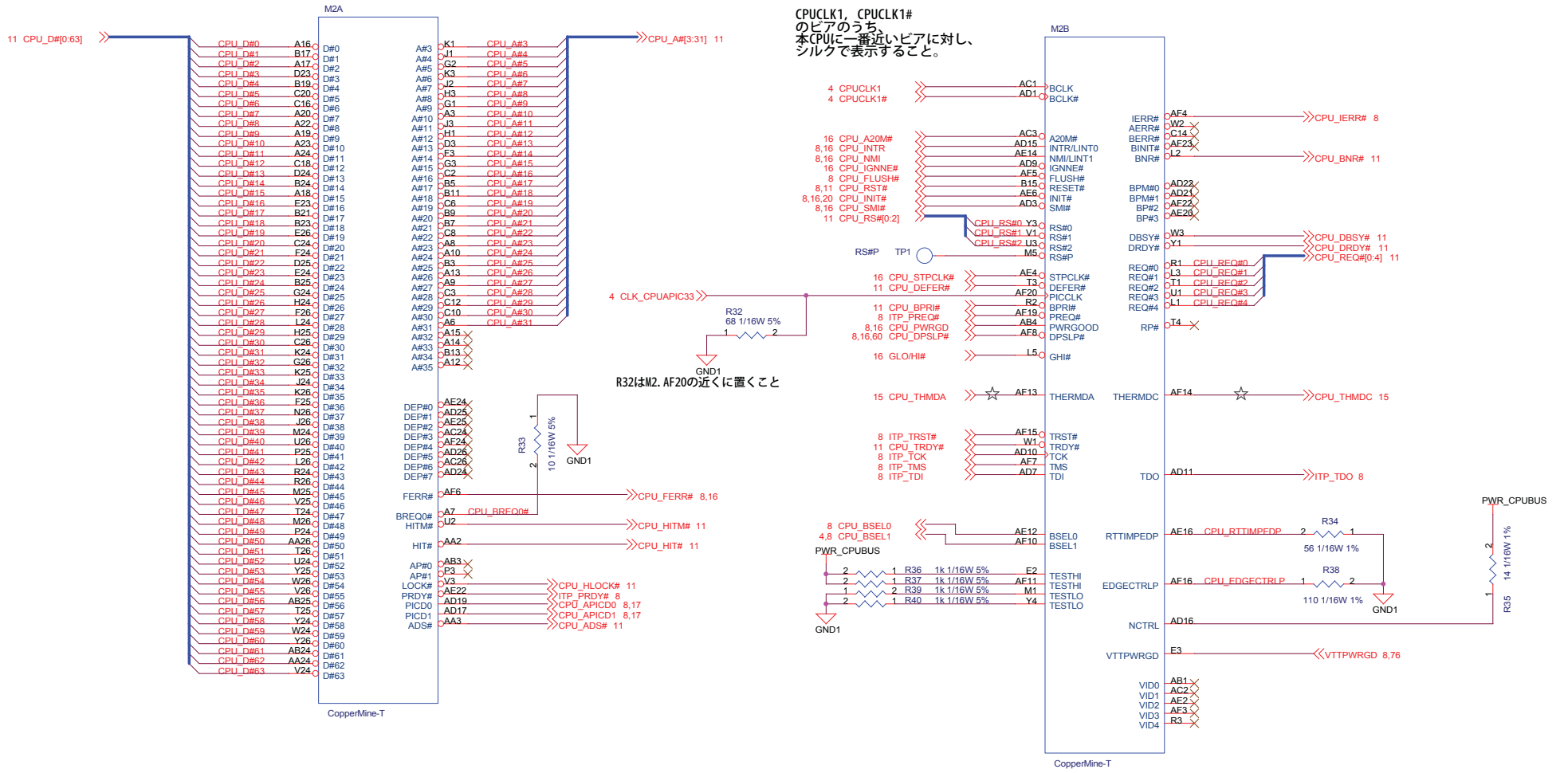
#B 枠内部品は、M2(CPU)裏面 PAD直裏に配置のこと。
#C 枠内部品は、M3(GMCH)裏面 PAD直裏に配置のこと。



各クロックのダンピング抵抗はチップから1cm以内に配置すること。
Place each dumping resistor of clock line near PLL as possible.(less than 10mm)

PLL

				TITLE	
				Laurel	
				DRAW. No.	
				C1CPxxxxxx-X1	
				CAST	
Rev.	DATE	Design	Appr.	Description	
Design	2001.01.16	Komahara	Check	Yoshida	
			Appr.	Aoki	
				FUJITSU LTD.	
				SHEET	
				4 / 82	

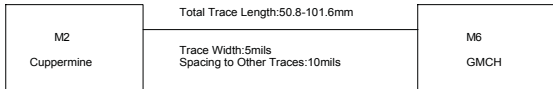


CPULCK1, CPULCK1#
のビアのうち
本CPUに一番近いビアに対し、
シルクで表示すること。

4 CLK_CPUAPIC33
R32
68 1/16W 5%
1 2
GND1
R32はM2.AF20の近くに置くこと

PSB Freq.	BSEL1	BSEL0
100MHz	0	1
133MHz	1	1

☆印のついた信号線はGND1で両側をガードすること。



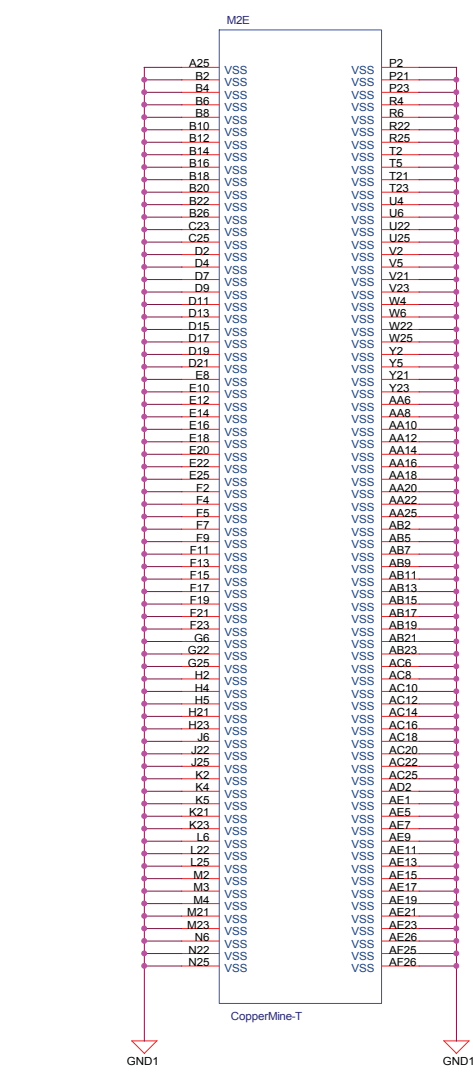
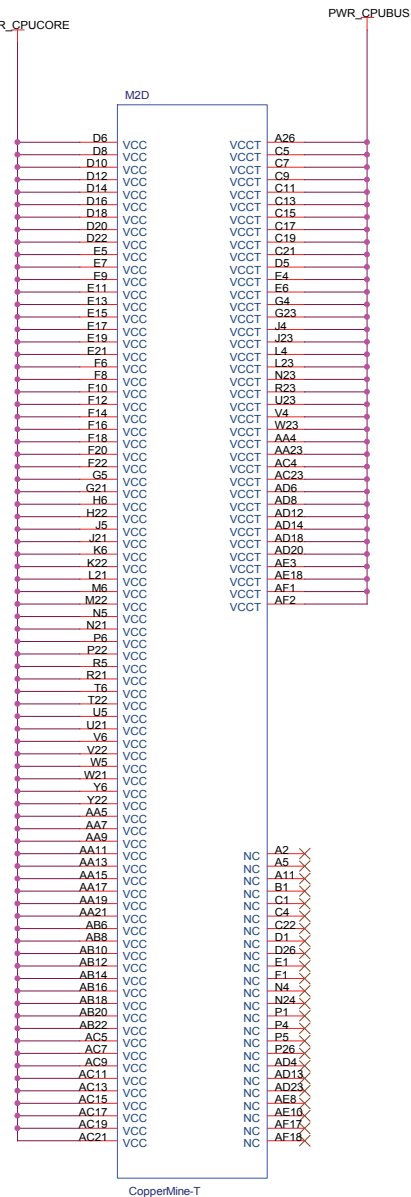
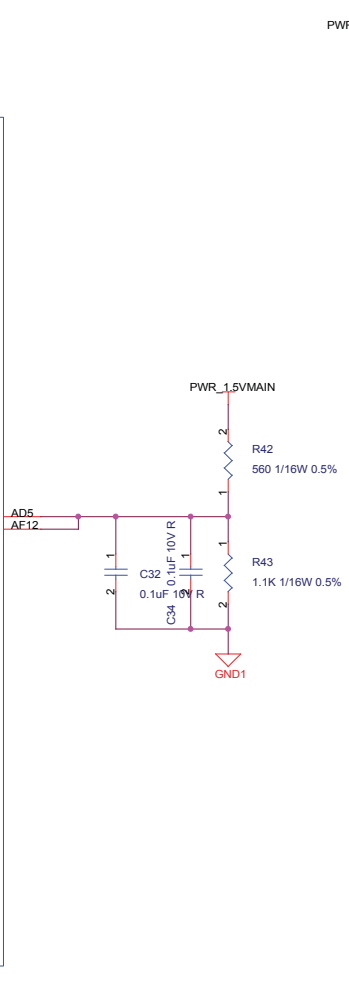
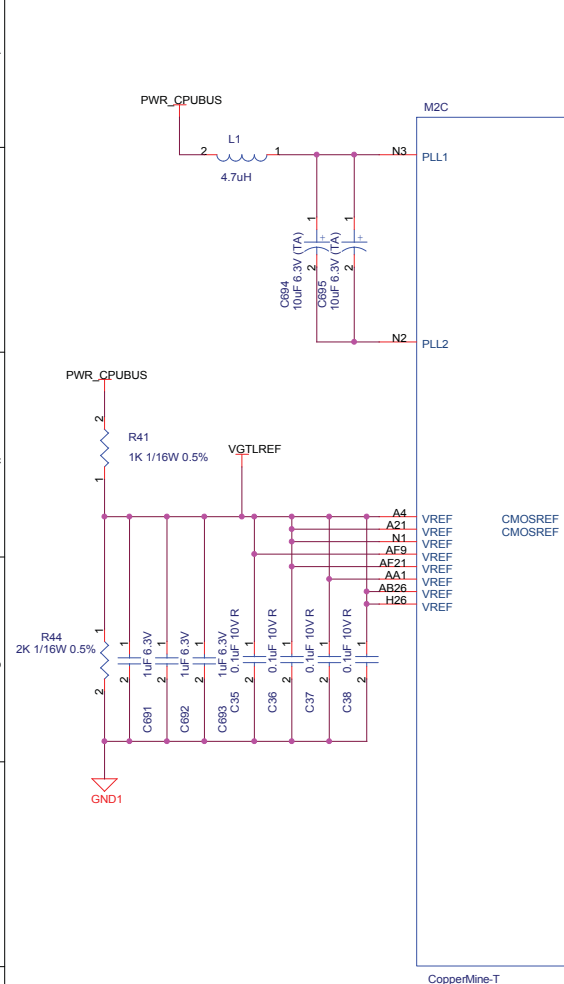
M2からM3への信号線は上記の条件を厳守すること。

CPU-1

TITLE: Laurel
 DRAW. No. C1CPxxxxx-X1
 SHEET 5 / 82

Rev.	DATE	Design	Appr.	Description	Appr.	Aoki
Design	2001.01.16	Komahara	Check	Yoshida	Appr.	Aoki

FUJITSU LTD.

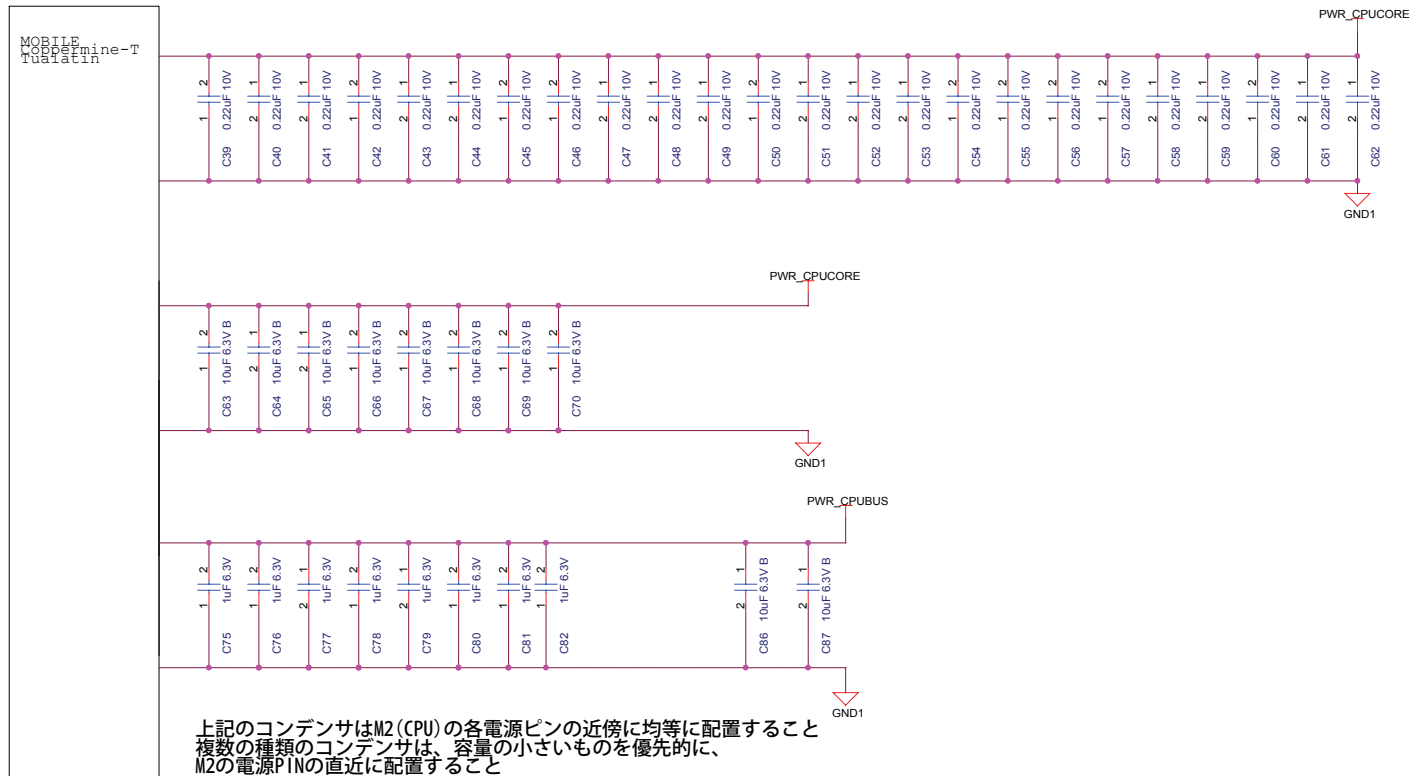


◎のついた信号線は、25mil以上の太さで配線し、
周りをベタのGNDで配線すること。
このページの抵抗・キャパシタ・インダクタはCPUの近傍に置くこと

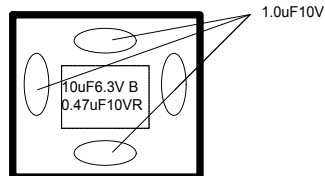
CPU-2

				TITLE Laurel	
				DRAW. No. C1CPxxxxx-X1	
				CAST	
Rev.	DATE	Design	Appr.	Description	
Design	2001.01.16	Komahara	Check	Yoshida	Appr. Aoki
				FUJITSU LTD.	
				SHEET 6 / 82	

At least x24 0.47uF & x10 10uF CPUCOREVCC(PWR_CPUCORE)
 decoupling capacitors.
 At least x10 1.0uF CPUBUSVCC(PWR_CPUBUS) de capacitors.
 (by Tualatin / Coppermine-T SpecSheet)

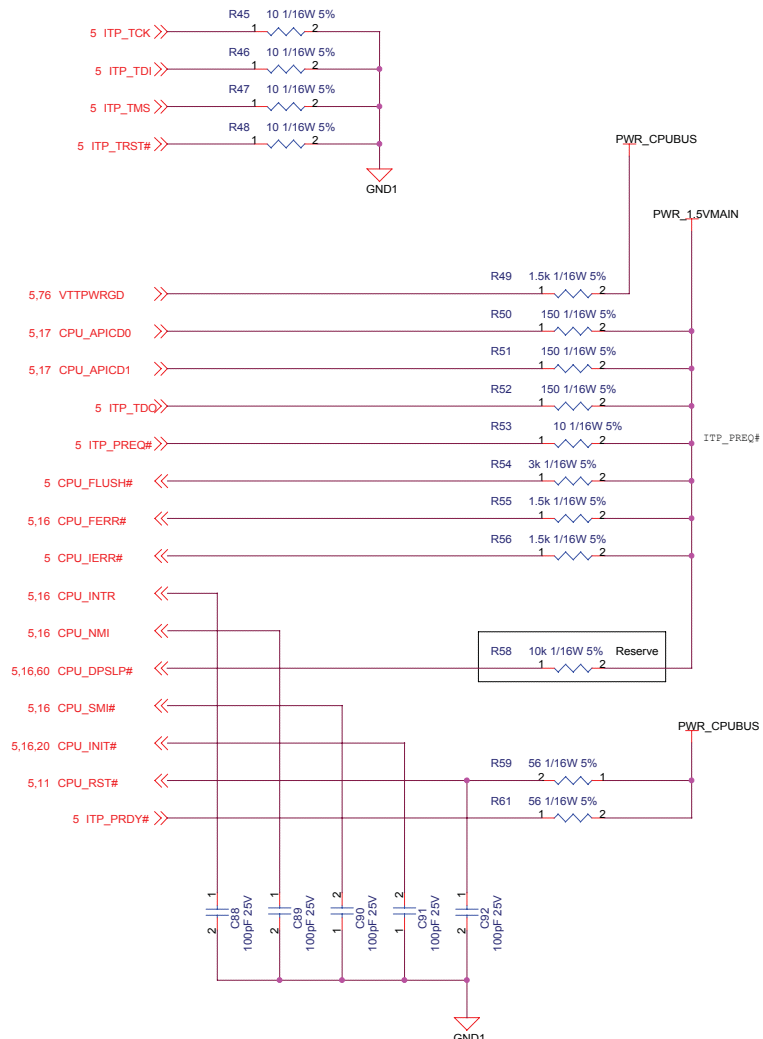


上記コンデンサ
 0.47uF 10V R (C36-C59), 10uF 6.3V B (C60-C71)はCPU裏の中央に配置し、
 1.0uF 10V (C72-C84)はCPU_BUS電源 (VCCT) のPIN近くに均等に配置すること。

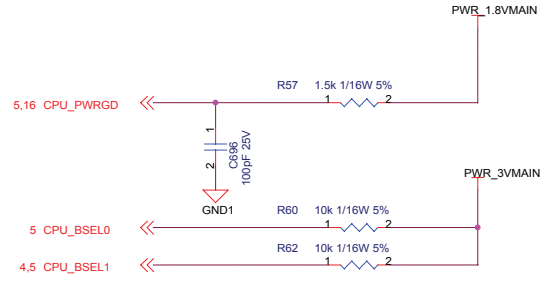


PassC for CPU

TITLE		Laurel	
DRAW. No.		C1CPxxxxx-X1	
Rev.		DATE	
Design	Appr.	Check	Yoshida
Description		Appr. Aoki	
SHEET		7 / 82	
FUJITSU LTD.			



ITP_PREQ# Pull-up signal change to 10ohm from 200ohm for ESD protection

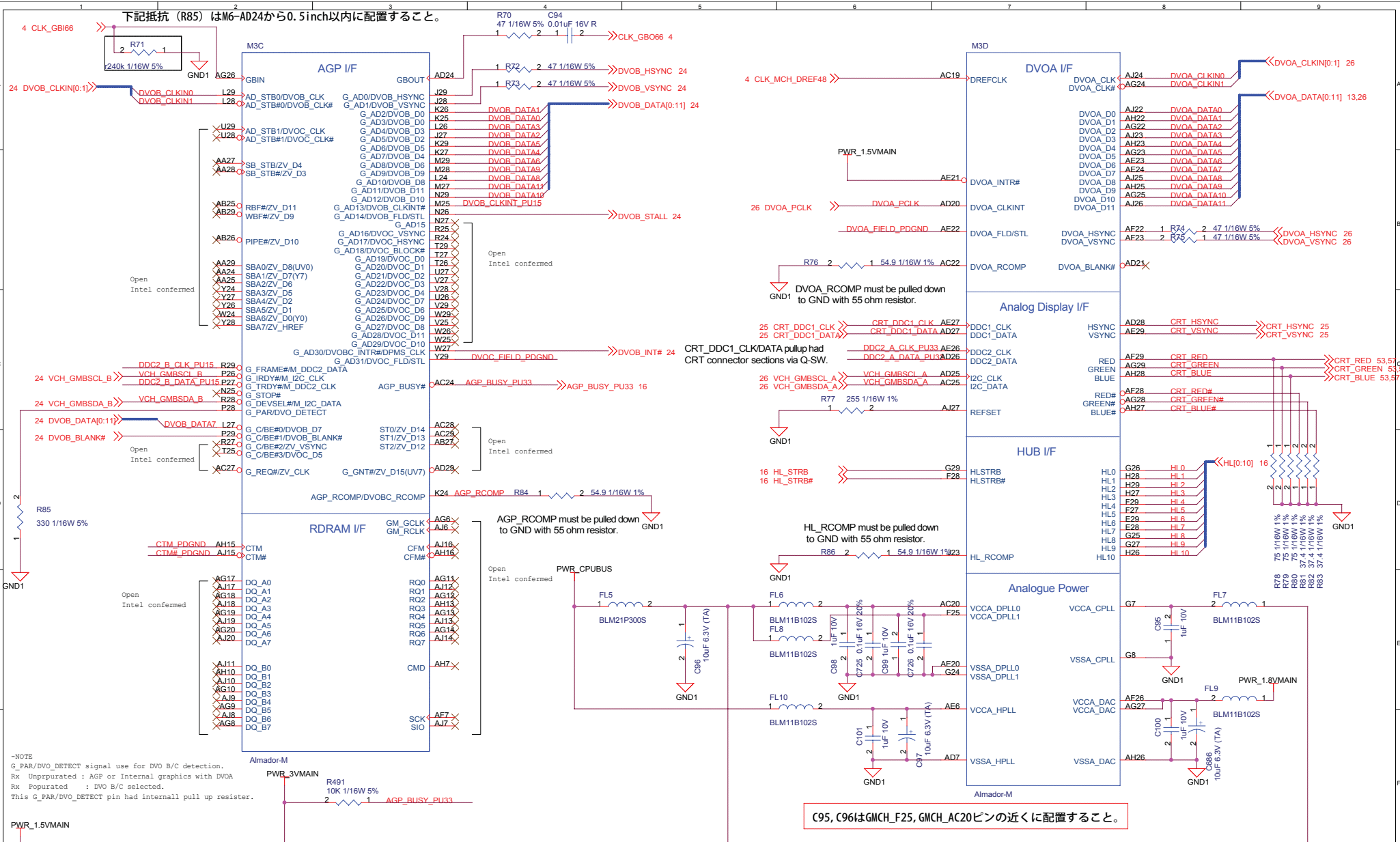


CPU_RST#は上記抵抗までの分岐配線を0.1inch以下にすること。
本ページの抵抗・コンデンサはCPUの近くに配置すること

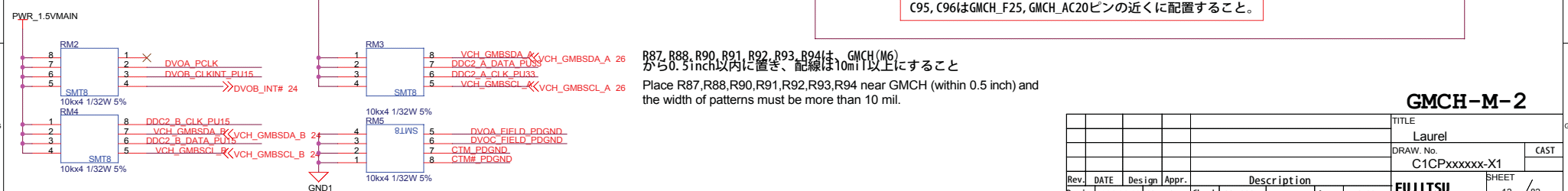
Pullup for CPU

				TITLE		Laurel	
				DRAW. No.		C1CPxxxxx-X1	
				CAST			
Rev.	DATE	Design	Appr.	Description			
Design	2001.01.16	Komahara	Check	Yoshida	Appr.	Aoki	
						FUJITSU LTD.	
						SHEET 8 / 82	

下記抵抗 (R85) はM6-AD24から0.5inch以内に配置すること。



--NOTE
G_PAR/DVO_DETECT signal use for DVO B/C detection.
Rx Unpopulated : AGP or Internal graphics with DVOA
Rk Populated : DVO B/C selected.
This G_PAR/DVO_DETECT pin had internal pull up resistor.

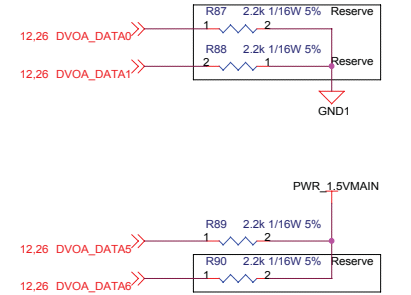
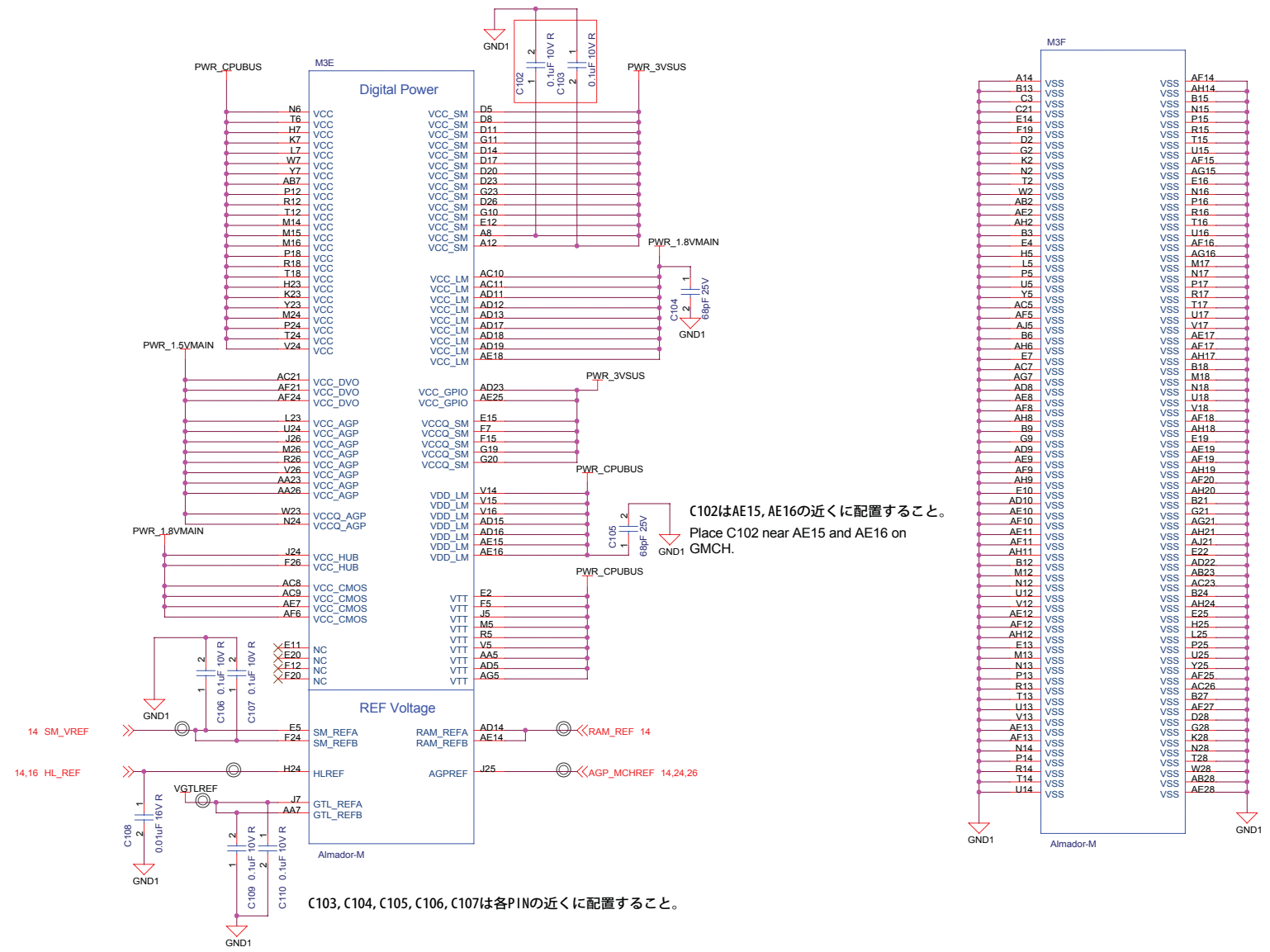


R87, R88, R90, R91, R92, R93, R94 (M6) から0.5inch以内に置き、配線は10mil以上にすること
Place R87, R88, R90, R91, R92, R93, R94 near GMCH (within 0.5 inch) and the width of patterns must be more than 10 mil.

GMCH-M-2

				TITLE		Laurel	
				DRAW. No.		C1CPxxxxx-X1	
				CAST			
Rev.	DATE	Design	Appr.	Description			
Design	2001.01.16	Komahara	Check	Yoshida	Appr.	Aoki	
						SHEET	
						12 / 82	
						FUJITSU LTD.	

C99, C100はGMCH_A8, GMCH_A12に直接接続すること。
 A8, A12pinは可能な限り広い電源ベタに貫通VIAで接続すること。(電源層が望ましい)
 またGNDへの接続も貫通VIAで接続すること。
 コンデンサはGMCH_A8, GMCH_A12の90mil(2.286mm)以内に配置すること。



Almador-M Strapping Options

Signal	Notes
DVOA_D0	0=Reserved 1=133MHz(default)
DVOA_D1	0=IOQD1 1=IOQD8(default)
DVOA_D5	0=Desktop(default) 1=Mobile
DVOA_D6	0=dual ended termination(default) 1=single ended termination
DVOA_D7	0=Normal operation (default) 1=XOR Chain test mode
DVOA_D8	0=Normal operation(default) 1=Tri-state all i830M outputs
G_PAR	0=DVO B/C Device connected. 1=AGP Device (Default)

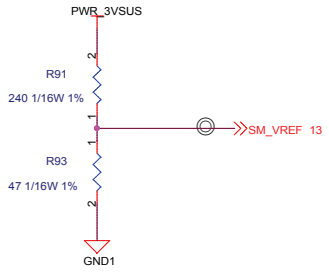
C102はAE15, AE16の近くに配置すること。
 Place C102 near AE15 and AE16 on GMCH.

C103, C104, C105, C106, C107は各PINの近くに配置すること。

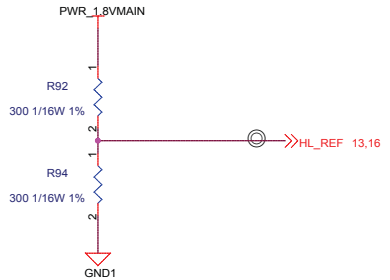
◎のついた信号線は、25mil以上の太さで配線し、
 周りをベタのGNDで配線すること。
 The width of signals that marked "◎" must be laid out
 more than 25 mil and guard at the both sides, top and
 bottom by GND1 pattern.

GMCH-M-3, STRAP

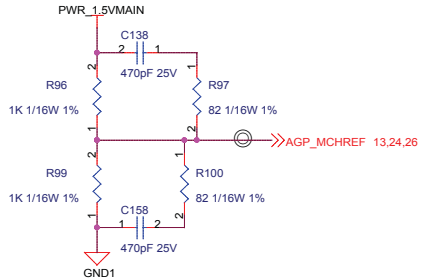
TITLE		Rickwood Main Board	
DRAW. No.		C1CPxxxxx-X1	
Rev.		DATE	
Design	2001.01.16	Komahara	Check
Description		Yoshida	
Appr.		Aoki	
SHEET		13 / 82	
FUJITSU LTD.			



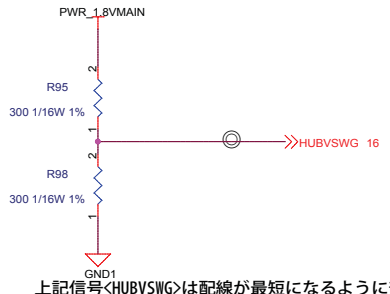
上記信号<SM_VREF>は配線が最短になるように部品をGMCHの近くに配置すること。



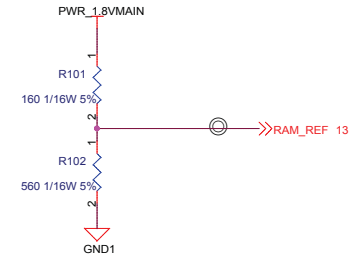
上記抵抗とコンデンサは、極力 GMCH と ICH3 の中間になるよう配置し、それぞれの配線長は 10cm 以内とすること



上記信号<AGP_VGAREF>は配線が最短になるように部品をGMCH(M6)の近くに配置すること。

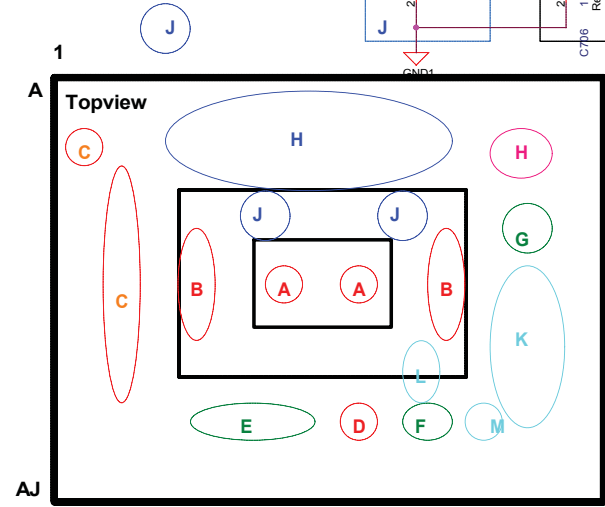
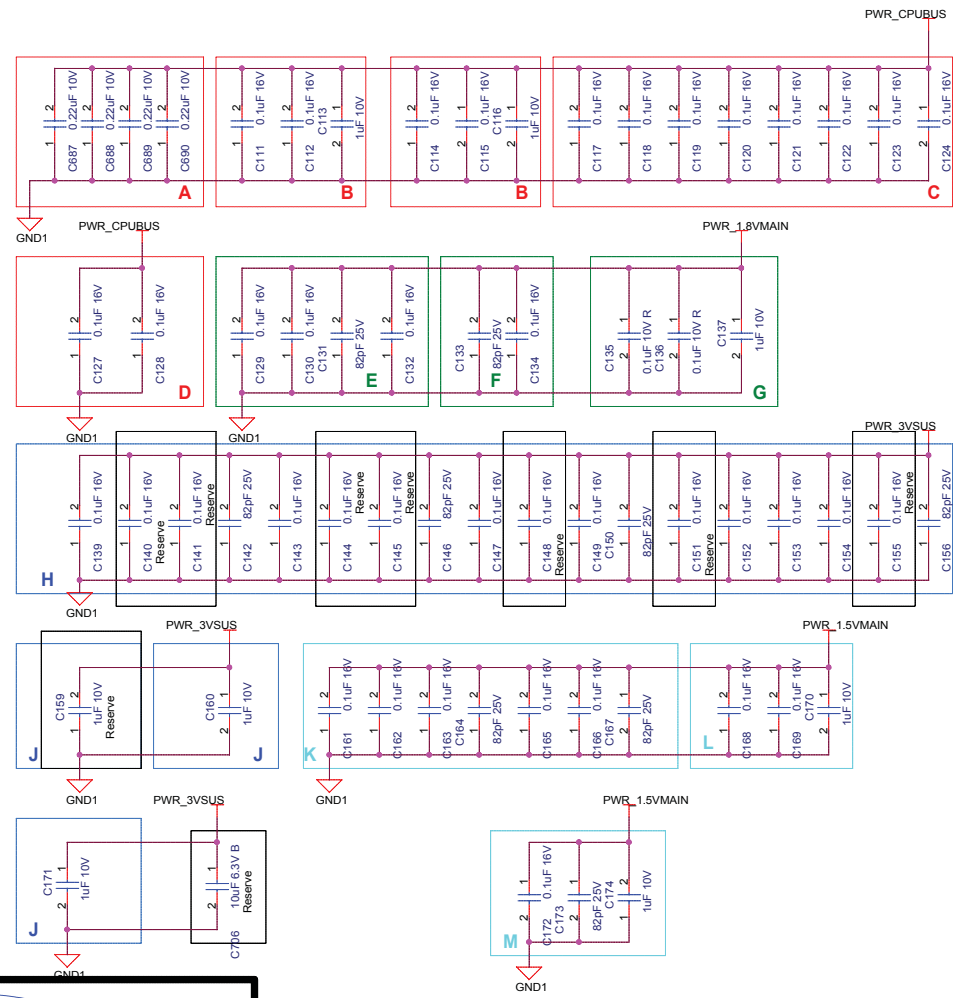


上記信号<HUBVSWG>は配線が最短になるように部品をICH3の近くに配置すること。



上記信号<RAM_REF>は配線が最短になるように部品をGMCH(M6)の近くに配置すること。

◎のついた信号線BGA PAD横に貫通THを空けその裏面直下に部品を搭載、配線すること。

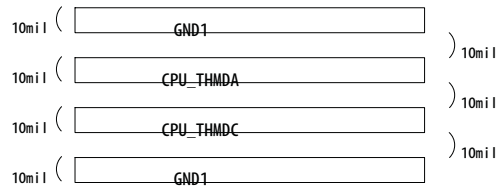


PassC for GMCH-M

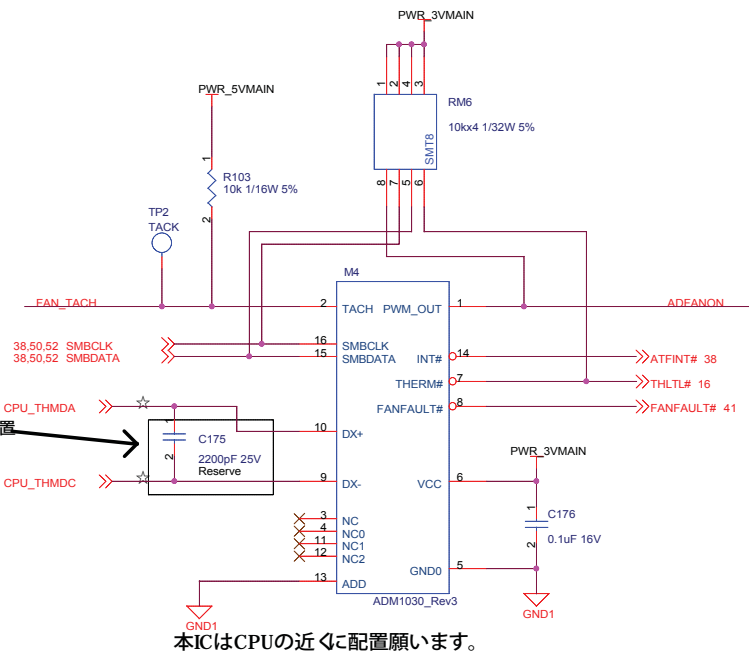
TITLE				Rickwood Main Board	
DRAW. No.				C1CPxxxxx-X1	
Rev.				DATE	
Design	2001.01.16	Appr.	Check	Yoshida	Description
Appr.				Aoki	
SHEET				14 / 82	
FUJITSU LTD.					

ADD pin	A1	A0	Address
GND	1	0	01011, 10
N. C	0	0	01011, 00
VCC	0	1	01011, 01

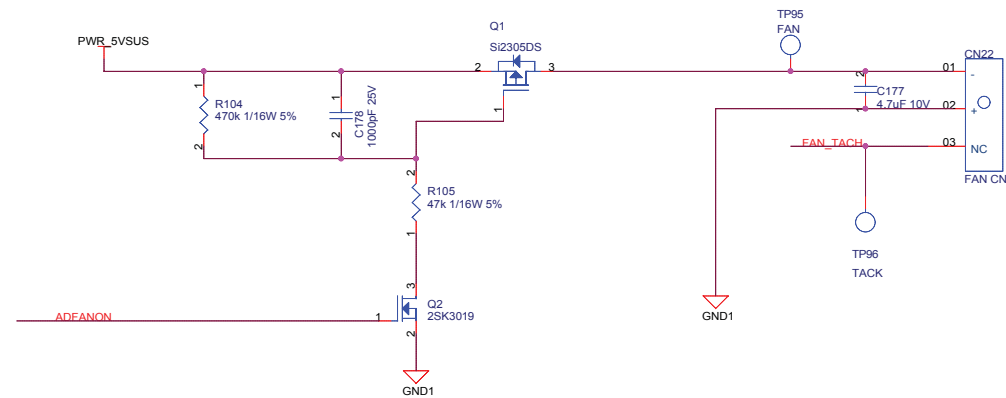
☆印の付いた信号線(CPU_THMDA, CPU_THMDC)は、GND1で両側をガードすること(下図参照)



コンデンサは本ICの近くに配置



本ICはCPUの近くに配置願います。



Thermister, FAN

							TITLE	
							Rickwood Main Board	
							DRAW. No.	
							C1CPxxxxx-X1	
							CAST	
Rev.	DATE	Design	Appr.	Description			SHEET	
Design	2001.01.16	Komahara	Check	Yoshida	Appr.	Aoki	FUJITSU LTD.	
							15 / 82	

◎のついた信号線は、25mil以上の太さで配線し、左右と下をベタの GND 線で囲むこと

※抵抗R117はM8から0.5inch以内に置き、10mil幅以上で配線すること。

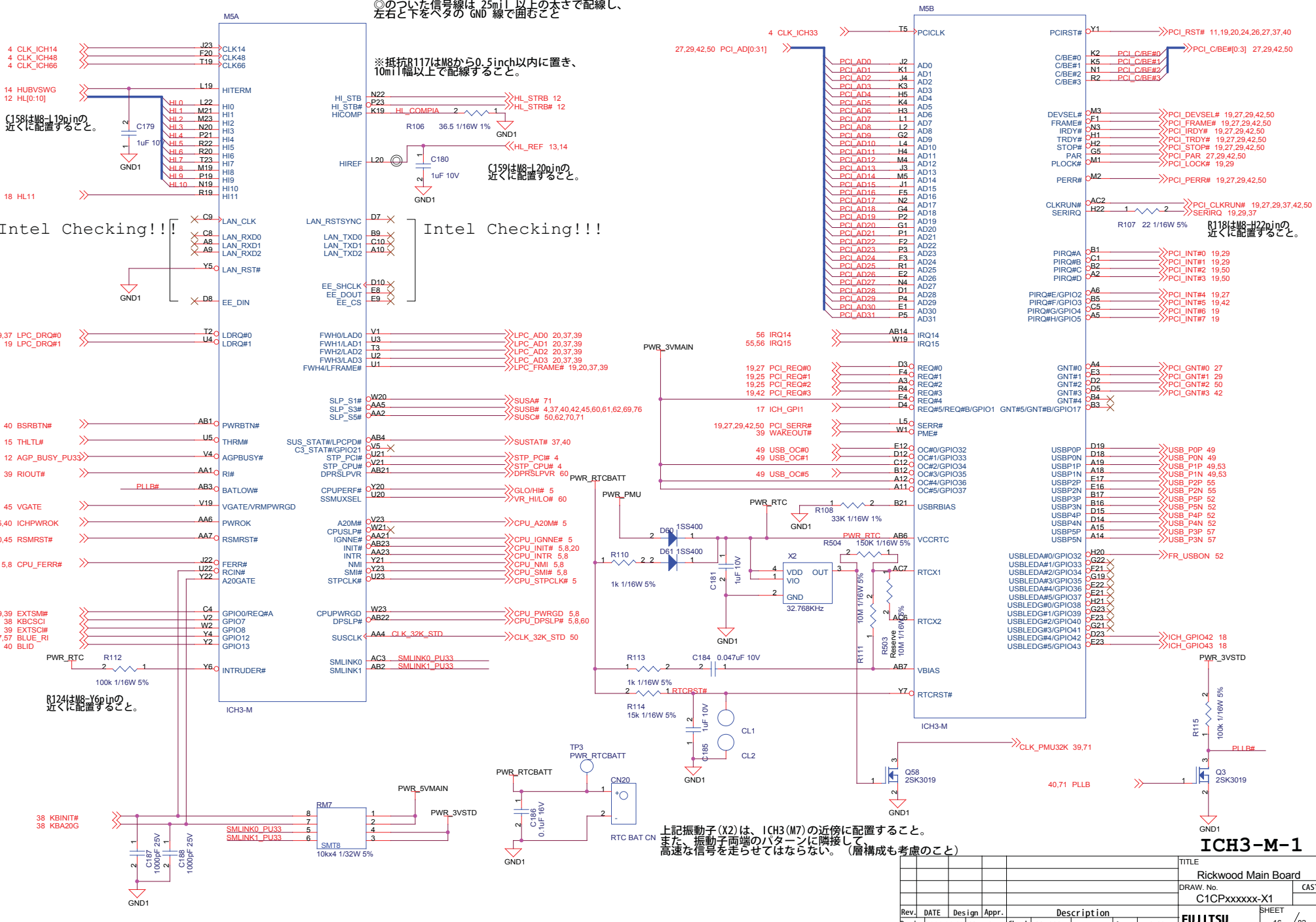
◎はM8-120pinの近くに配置すること。

◎R118はM8-H22pinの近くに配置すること。

Intel Checking!!!

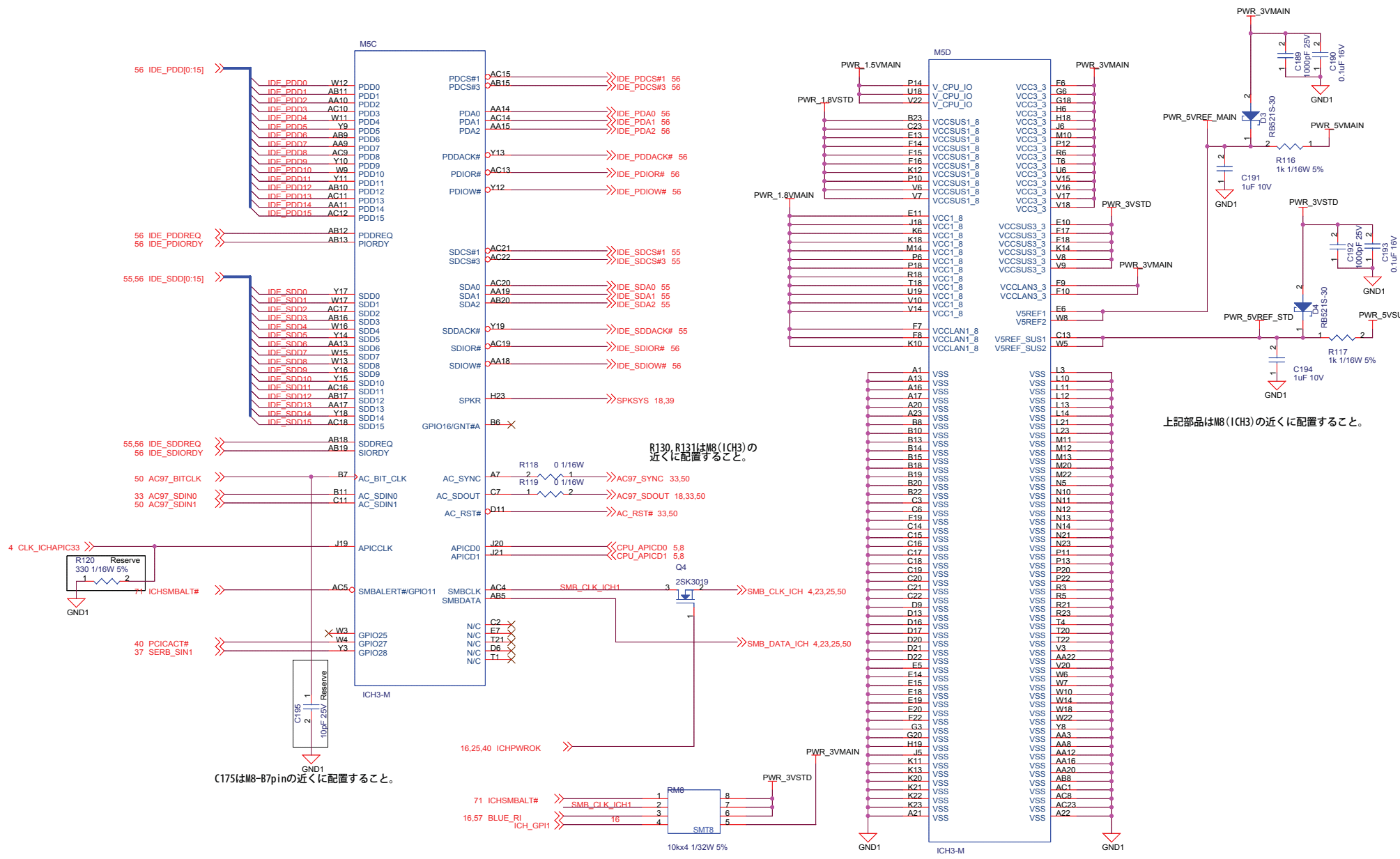
Intel Checking!!!

上記振動子(X2)は、ICH3(M7)の近傍に配置すること。
また、振動子両端のパターンに隣接して、高速な信号を走らせてはならない。(層構成も考慮のこと)



ICH3-M-1

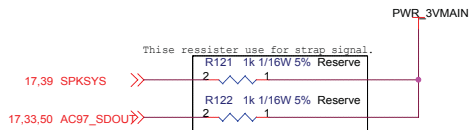
TITLE				Rickwood Main Board	
DRAW. No.				C1CPxxxxx-X1	
Rev.				DATE	
Design				2001.01.16	
Design				2001.01.16	
Appr.				Yoshida	
Appr.				Aoki	
Description				FUJITSU LTD.	
SHEET				16 / 82	



©のついた信号線は、25mil以上の太さで配線し、左右と下をヘタのGND線で囲むこと

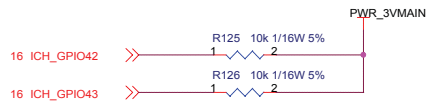
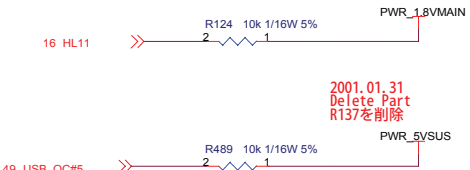
ICH3-M-2

TITLE		Rickwood Main Board					
DRAW. No.		C1CPxxxxx-X1					
Rev.		DATE	Design	Appr.	Description	Appr.	Aoki
Design	2001.01.16	Komahara	Check	Yoshida			
SHEET		17		/ 82		FUJITSU LTD.	

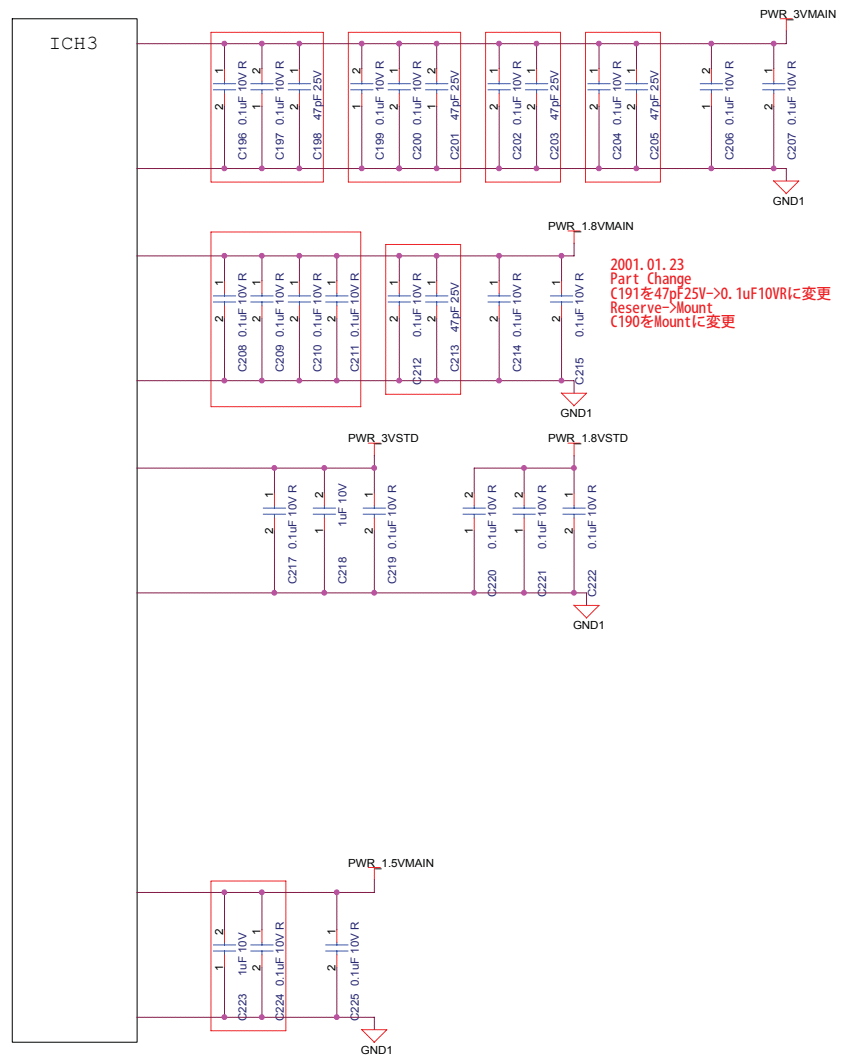


Configuration Table

SPKSYS	0=Normal mode (Default) 1=NO_REBOOT
AC97_SDOU	0=Normal mode (Default) 1=SAFE_MODE



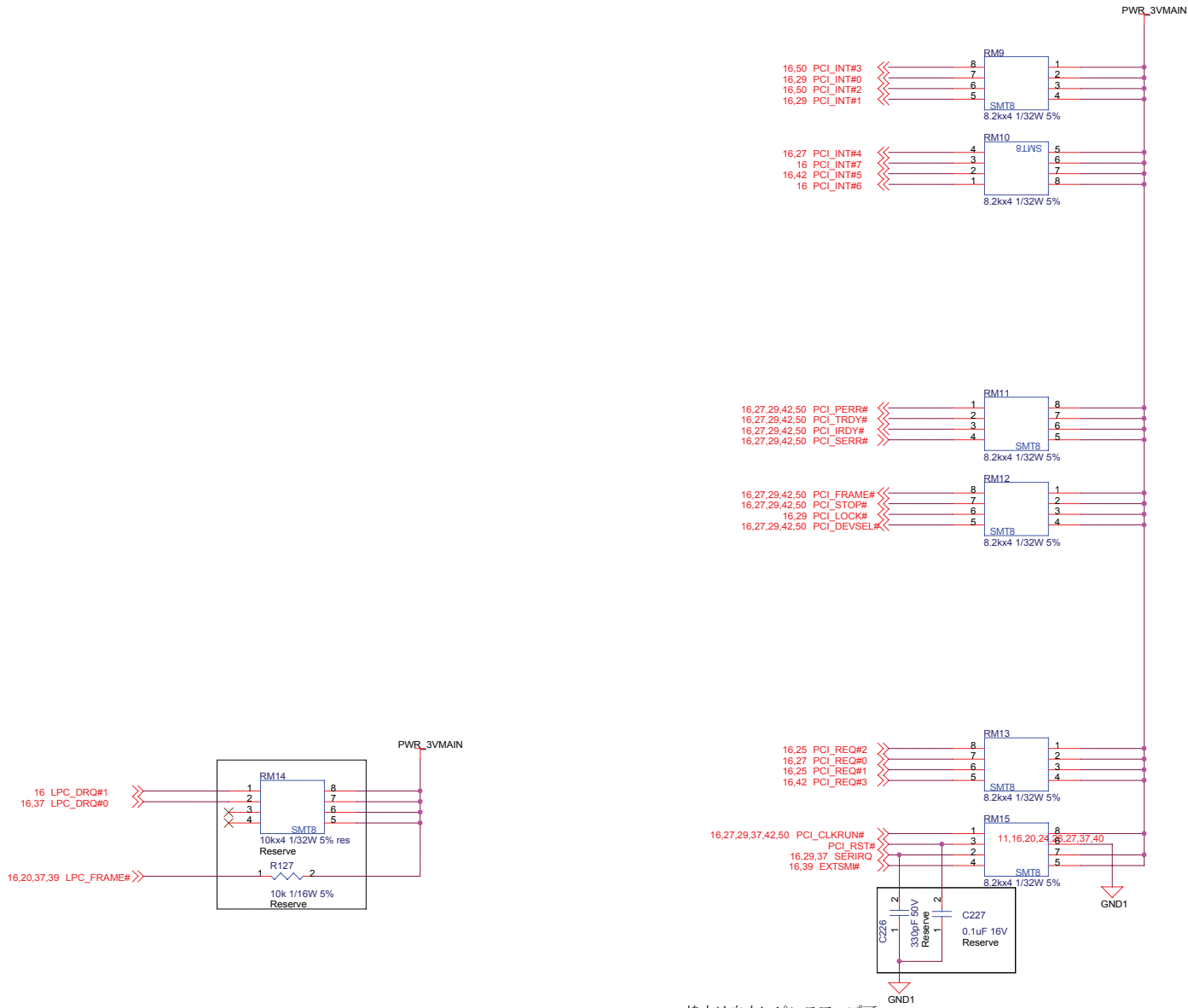
下記のICH3のコンデンサは、各電源ピンの近くに均等に配置すること。
 また複数種類のコンデンサがある場合は、容量の小さいコンデンサを優先的に各電源ピンの近くに配置すること。



本ページの部品はM8(ICH3)の近くに配置すること。

Pullup & PassC for ICH3-M

							TITLE		Rickwood Main Board	
							DRAW. No.		C1CPxxxxx-X1	
							CAST			
Rev.	DATE	Design	Appr.	Description			SHEET		18 / 82	
Design	2001.01.16	Komahara	Check	Yoshida	Appr.	Aoki	FUJITSU LTD.			



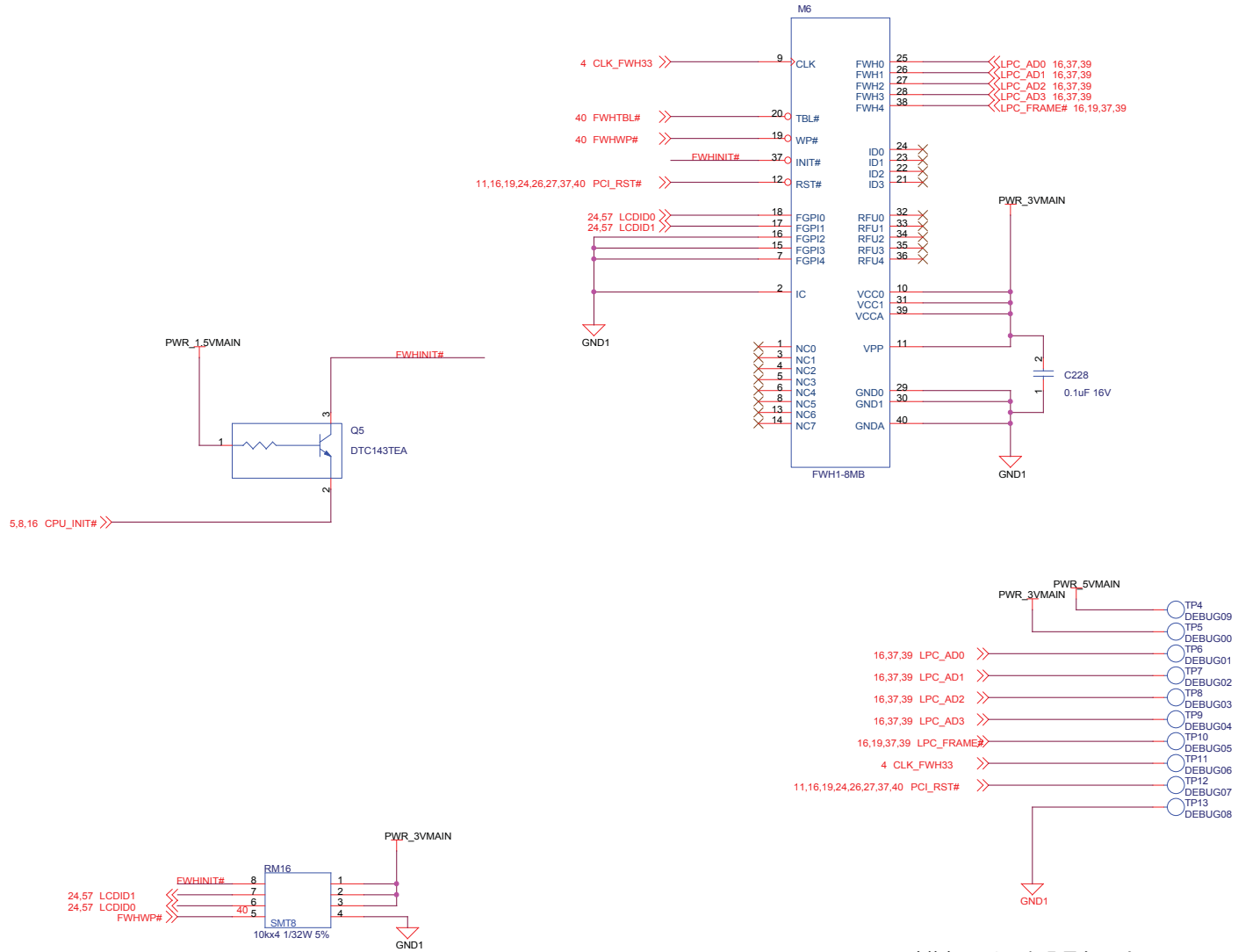
枠内は自由にピンスワップ可

本枠内の部品は、ICH3-Mの近くに配置すること。

本ページの部品はM8(ICH3)の近くに配置すること。

Pullup for AGP, PCI, LPC

							TITLE	
							Rickwood Main Board	
							DRAW. No.	
							C1CPxxxxxx-X1	
							CAST	
Rev.	DATE	Design	Appr.	Description			SHEET	
Design	2001.01.16	Komahara	Check	Yoshida	Appr.	Aoki	FUJITSU LTD.	
							19 / 82	

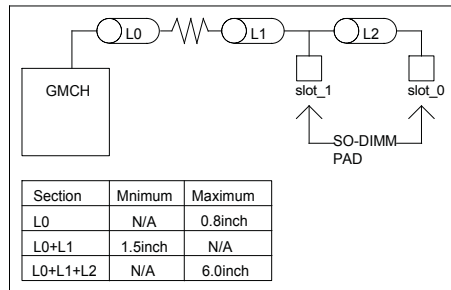


本ページの部品はM10 (FWH) の近くに配置すること。

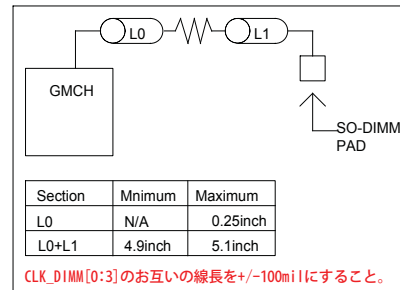
本枠内のTPは一列に配置すること

							FWH (BIOS)	
							TITLE	
							Rickwood Main Board	
							DRAW. No.	
							C1CPxxxxx-X1	
							CAST	
							SHEET	
							20 / 82	
Rev.	DATE	Design	Appr.	Description			FUJITSU LTD.	
Design	2001.01.16	Komahara	Check	Yoshida	Appr.	Aoki		

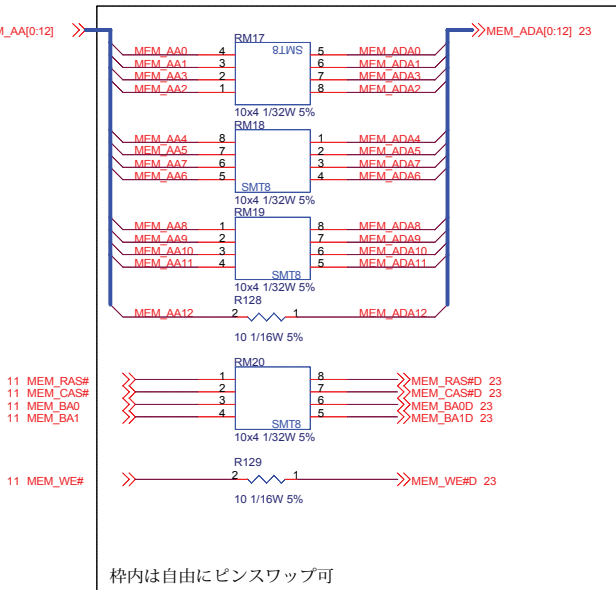
MEM_AA[0:12], MEM_RAS#, MEM_CAS#, MEM_WE#, MEM_BA[0:1]の配線条件



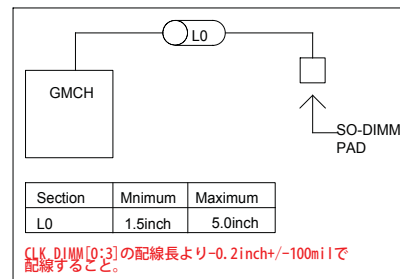
CLK_DIMM[0:3]の配線条件



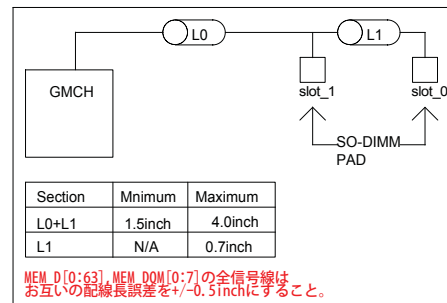
11 MEM_AA[0:12] >>> MEM_ADA[0:12] 23



MEM_CS#[0:3], MEM_CKE[0:3]の配線条件

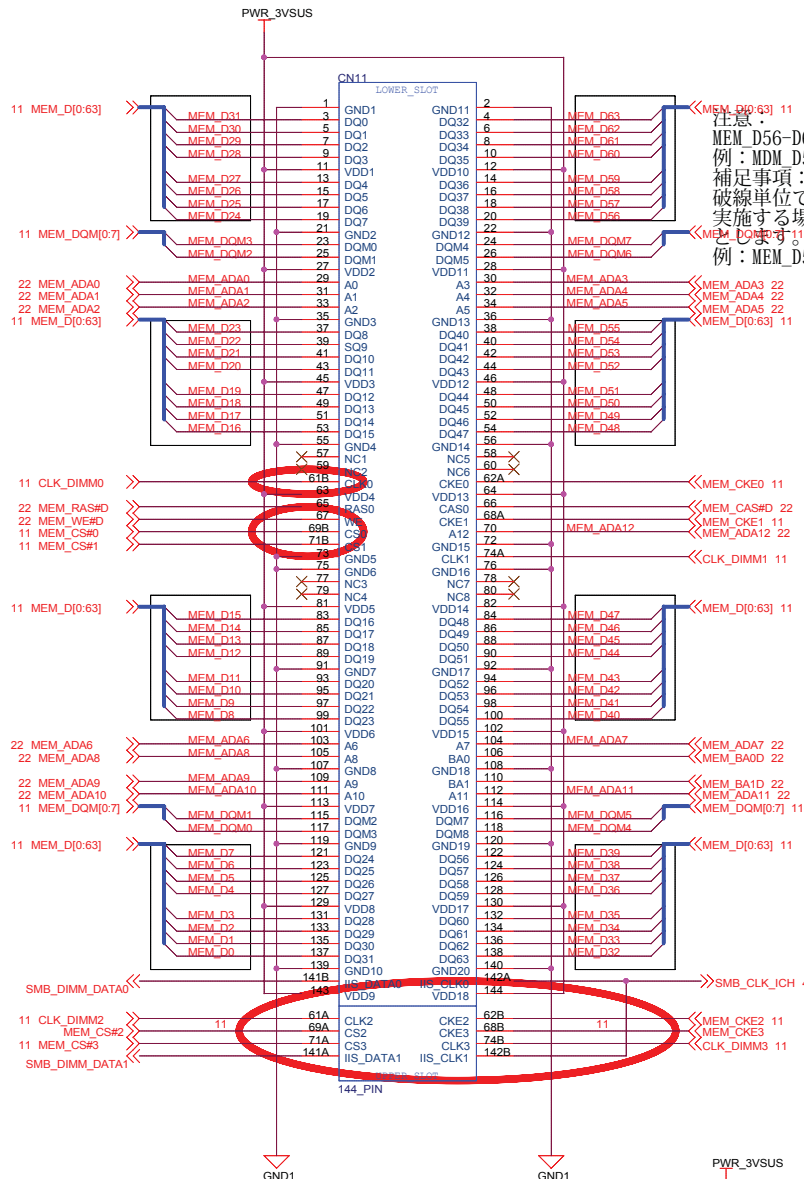


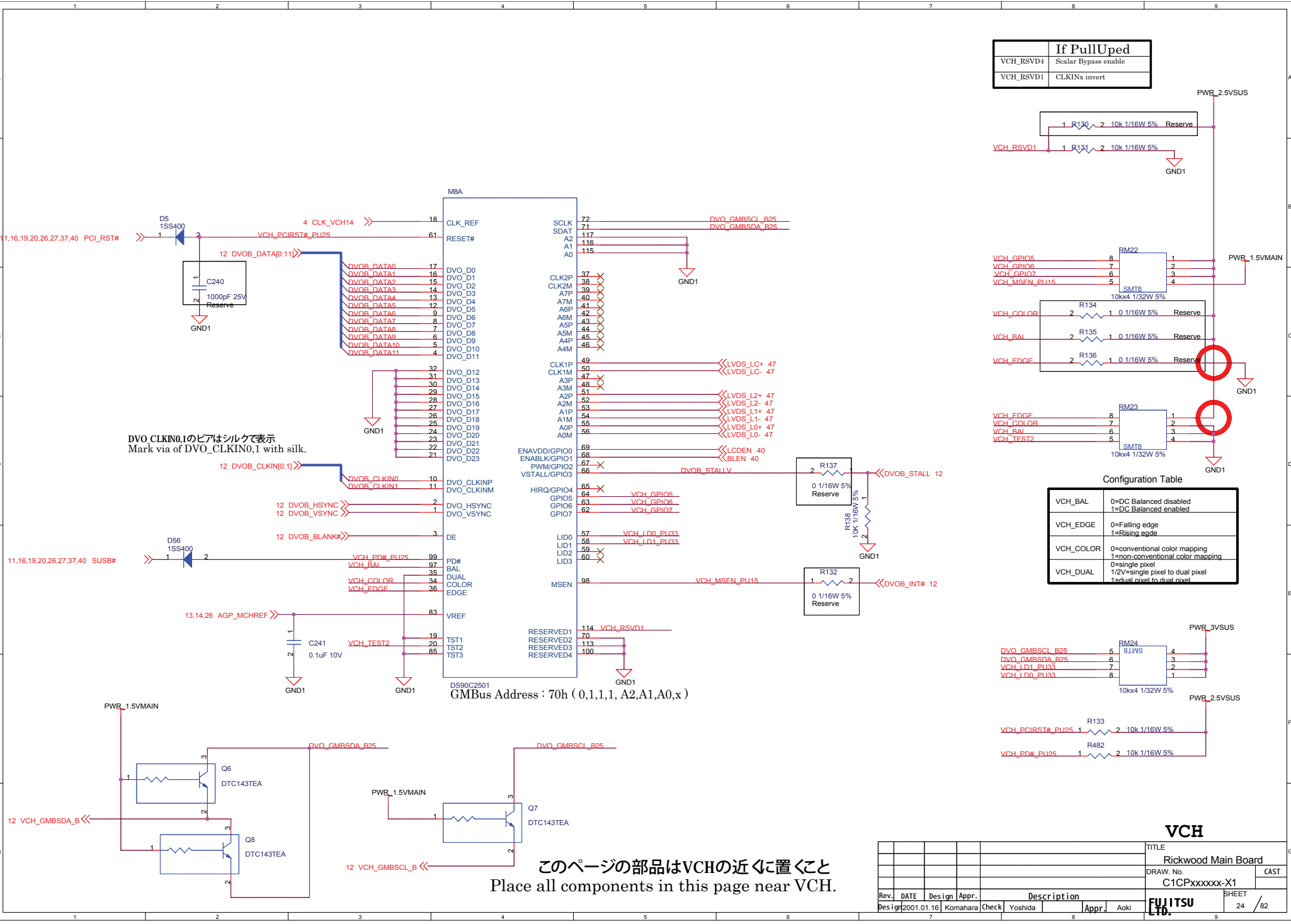
MEM_D[0:63], MEM_DQM[0:7]の配線条件



SDRAM Dumping System Memory Design Guideline

								TITLE	
								Rickwood Main Board	
								DRAW. No.	
								C1CPxxxxxx-X1	
								CAST	
Rev.	DATE	Design	Appr.	Description				SHEET	
Design	2001.01.16	Komahara	Check	Yoshida	Appr.	Aoki	FUJITSU LTD.		
								22	/ 82





DVO_CLKIN0,1のビアはシルクで表示
Mark via of DVO_CLKIN0,1 with silk.

DS90C2501
GMBus Address : 70h (0,1,1,1, A2,A1,A0,x)

If PullUped	
VCH_RSVD1	Scalar Bypass enable
VCH_RSVD1	CLKINx invert

Configuration Table

VCH_BAL	0=DC Balanced disabled 1=DC Balanced enabled
VCH_EDGE	0=Falling edge 1=Rising edge
VCH_COLOR	0=conventional color mapping 1=non-conventional color mapping
VCH_DUAL	0=single pixel 1/2=single pixel to dual pixel 1=dual pixel to dual pixel

このページの部品はVCHの近くに置くこと
Place all components in this page near VCH.

								TITLE	
								Rickwood Main Board	
								DRAW. No.	
								C1CPxxxxx-X1	
								SHEET	
								24 / 82	
Rev.	DATE	Design	Appr.	Check	Yoshida	Description		Appr.	Aoki
Design	2001.01.16	Komahara							

VCH

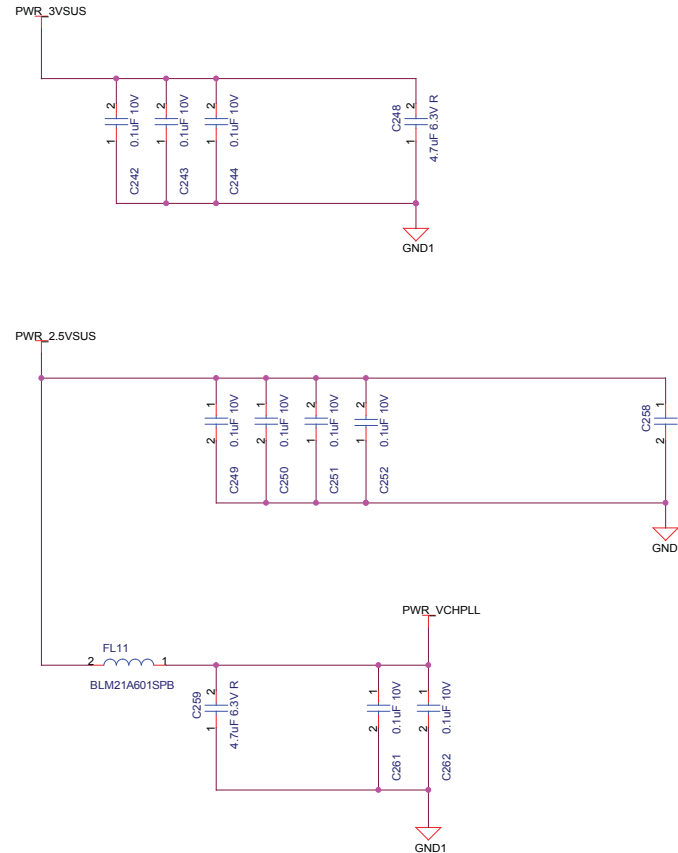
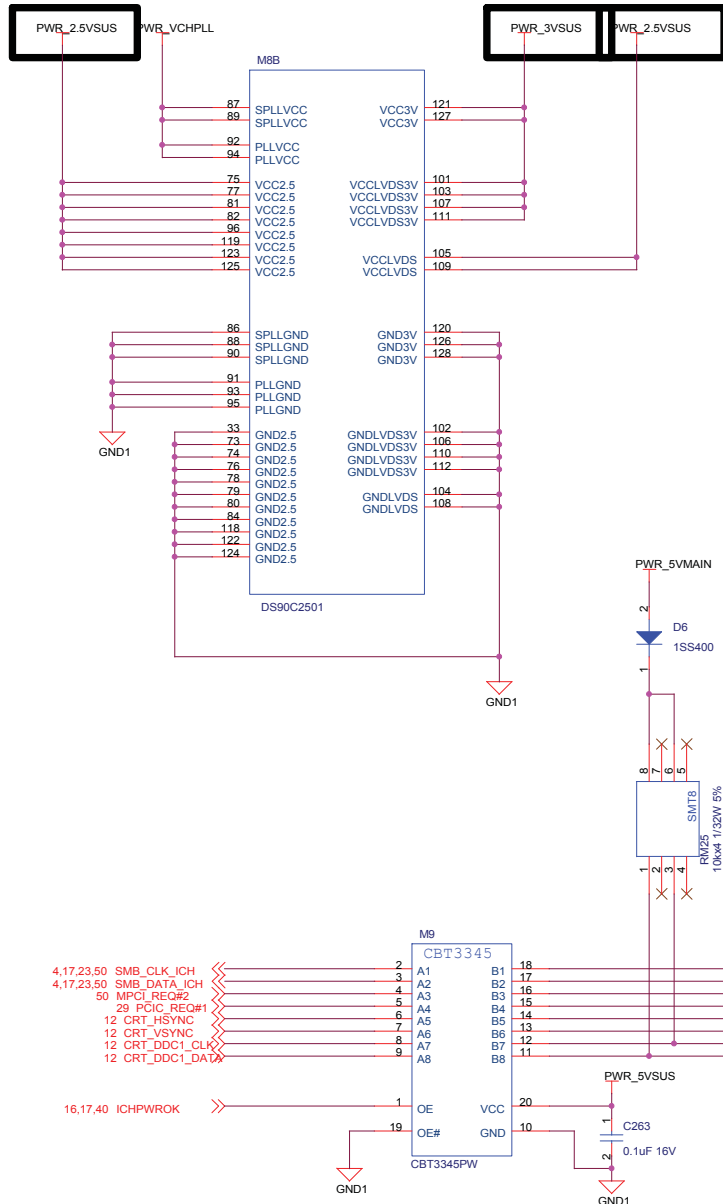
NOTE for LDO

Input: PWR_3VSUS

Output: PWR_VCH2.5/500mA (max)

Output cont1

下記コンデンサはVCHの各電源ピンの近くに1個ずつ配置のこと。
 4.7uFのコンデンサは電源プレート接続位置付近に配置する。
 PWR_2.5VMAIN - PWR_3VMAIN間コンデンサは、Pin
 107-105間に最短距離で実装すること。



VCH

VGA-2

				TITLE		Rickwood Main Board	
				DRAW. No.		CAST	
				Description		C1CPxxxxx-X1	
Rev.	DATE	Design	Appr.	Check	Yoshida	Appr.	Aoki
Design	2001.01.16	Komahara					
						FUJITSU LTD.	
						SHEET 25 / 82	

※※S-OUT無しモデルが発生するならば、空きピン処理等の検討が必要!!

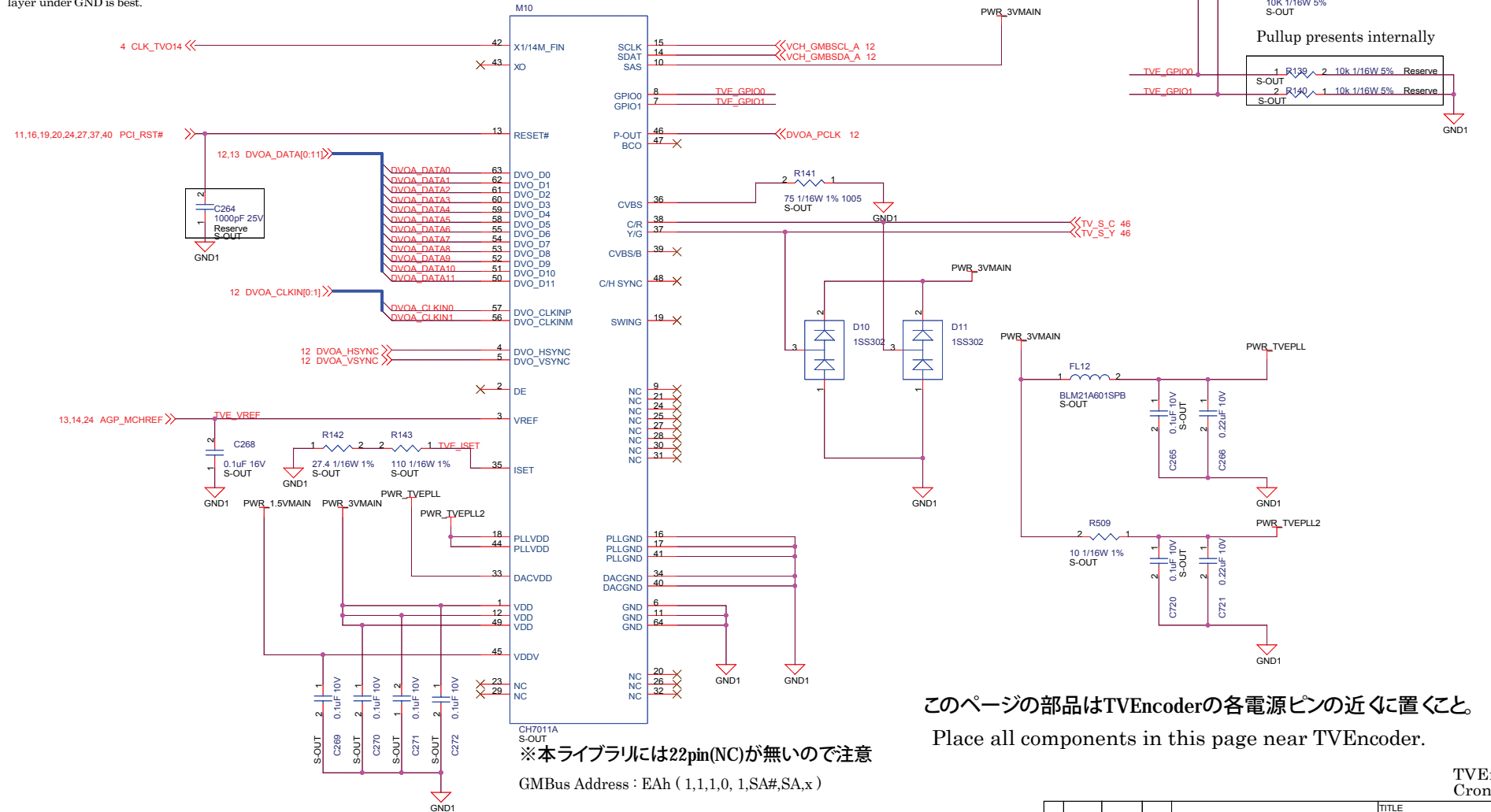
C1450はTVEncoderの近くに配置すること
Place C1450 near TVEncoder

振動子および周辺部品は、M165-42,43pin付近に配置、配線すること。また、パターン下にマスの高速な信号は走らせないこと。すべてのクロックは、内層を走らせること(GND層の隣がベスト)。

Place oscillator near M165-42,43 pins. Don't route high speed bus under oscillator. All clock lines should be routed in internal layer, layer under GND is best.

TV MODESEL

TVE_GPIO0	
Pullup	NTSC
Pulldown	PAL



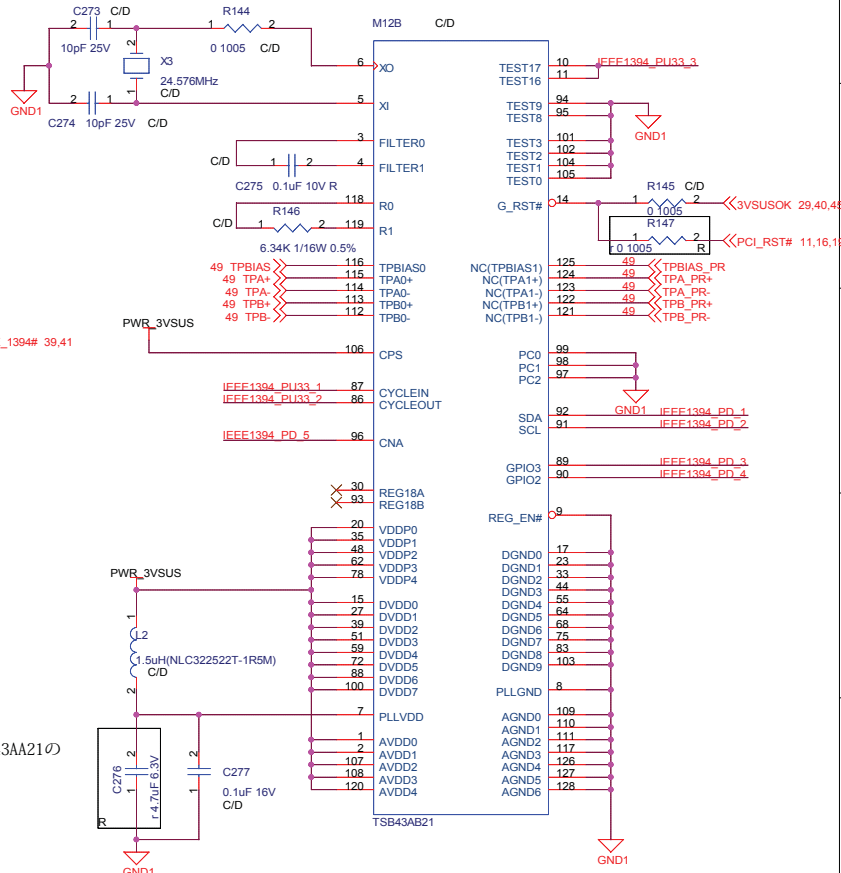
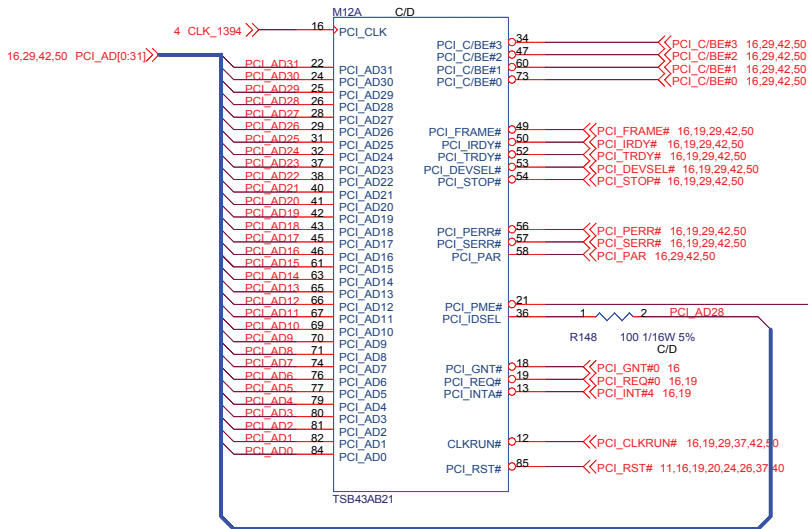
※本ライブラリには22pin(NC)が無いので注意

GMBus Address : EAh (1,1,1,0, 1,SA#,SA,x)

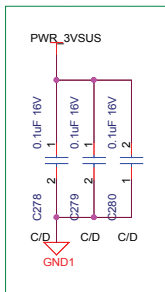
このページの部品はTVEncoderの各電源ピンの近くに置くこと。
Place all components in this page near TVEncoder.

TVEncoder
Crontel

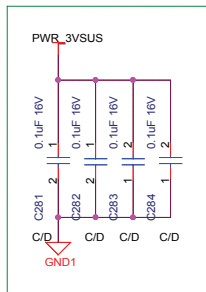
								TITLE	
								Rickwood Main Board	
								DRAW. No.	
								C1CPxxxxx-X1	
								CAST	
								SHEET	
								26 / 82	
Rev.	DATE	Design	Appr.	Description				FUJITSU LTD.	
Design	2001.01.16	Komahara	Check	Yoshida	Appr.	Aoki			



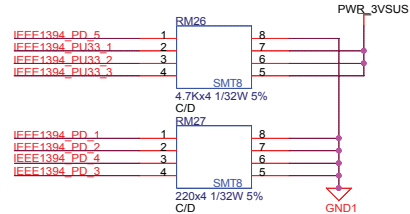
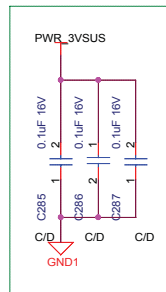
下記のコンデンサはTSB43AA21のVDDPxピン近傍に配置



下記のコンデンサはTSB43AA21のAVDDxピン近傍に配置

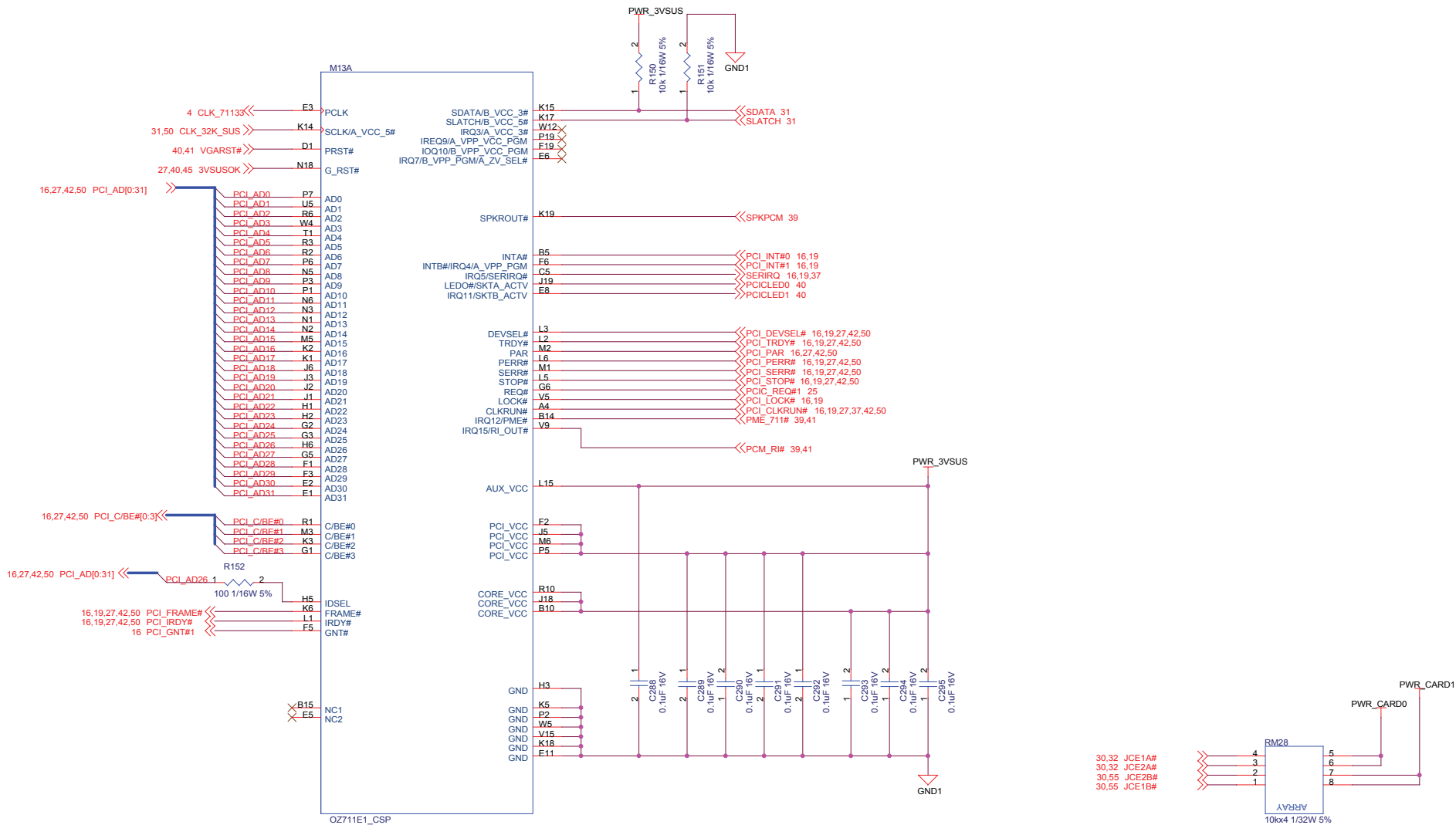


下記のコンデンサはTSB43AA21のDVDDxピン近傍に配置

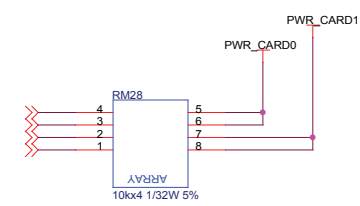


IEEE1394

						TITLE	
						Rickwood Main Board	
						DRAW. No.	
						C1CPxxxxx-X1	
						SHEET	
						28 / 82	
Rev.	DATE	Design	Appr.	Check	Description	Appr.	
Design	2001.01.16	Komahara	Yoshida	Yoshida		Aoki	



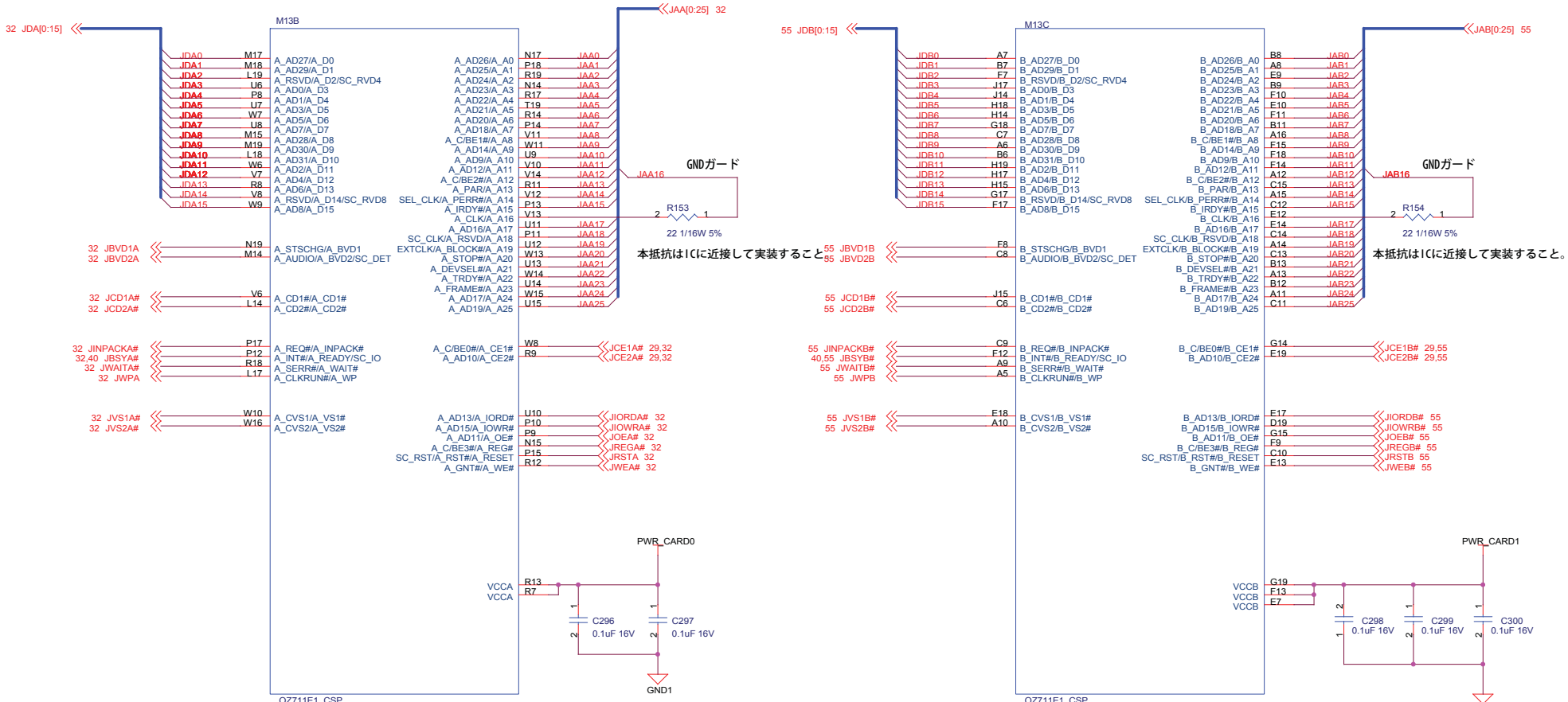
30.32 JCE1A#
 30.32 JCE2A#
 30.55 JCE2B#
 30.55 JCE1B#



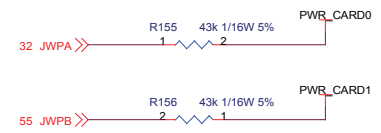
PCIC-1 [O2Micro-Tarzan]

TITLE						Rickwood Main Board	
DRAW. No.						C1CPxxxxx-X1	
Description						SHEET 30 / 82	
Rev.	DATE	Design	Appr.	Check	Yoshida	Appr.	Aoki
Design	2001.01.16	Komahara					

FUJITSU LTD.

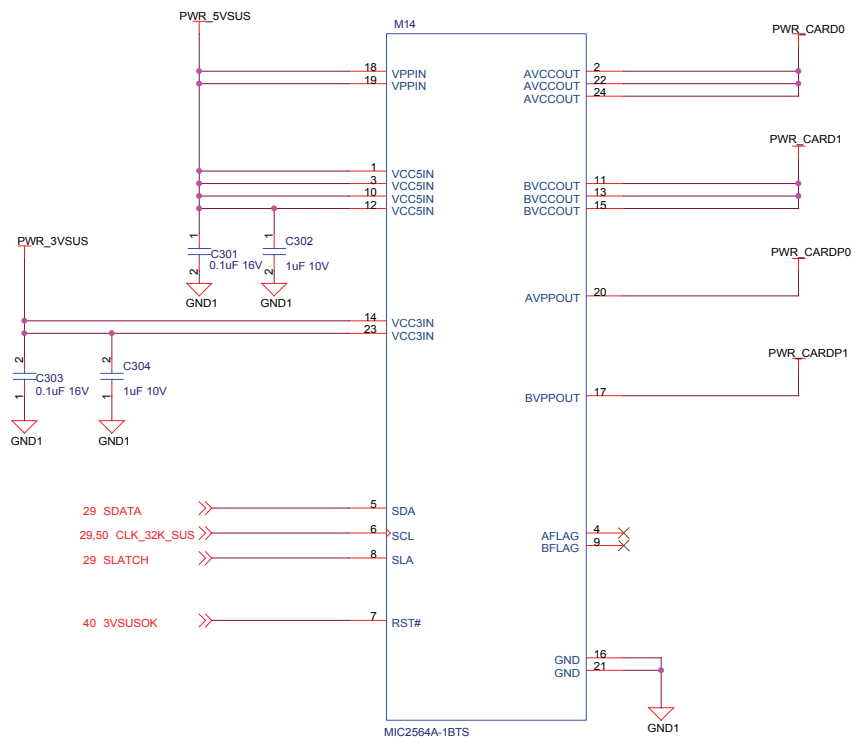


【注意】
JAA16, JAB16はCardBus時クロック信号になるのでGND1にてガードを行うこと。



PCIC-2 [O2Micro-Tarzan]

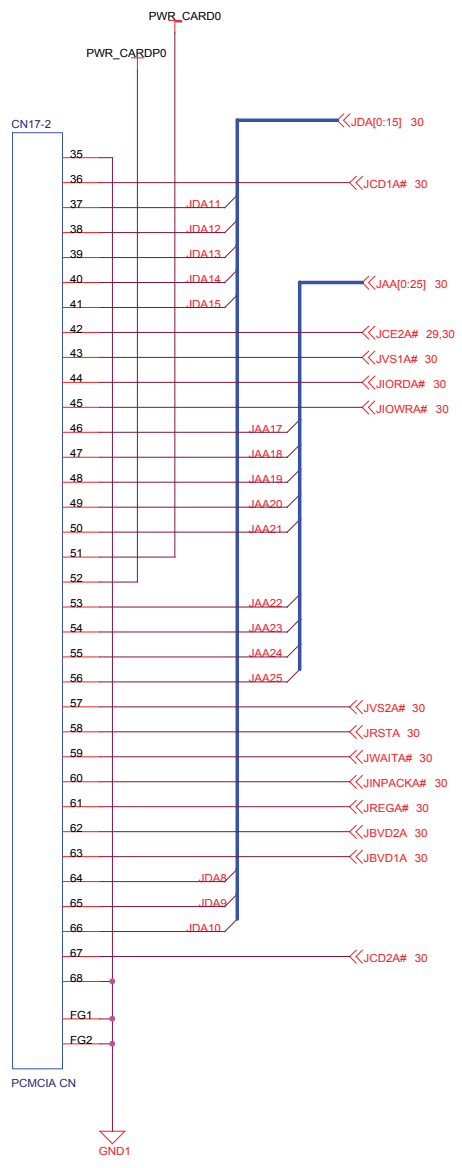
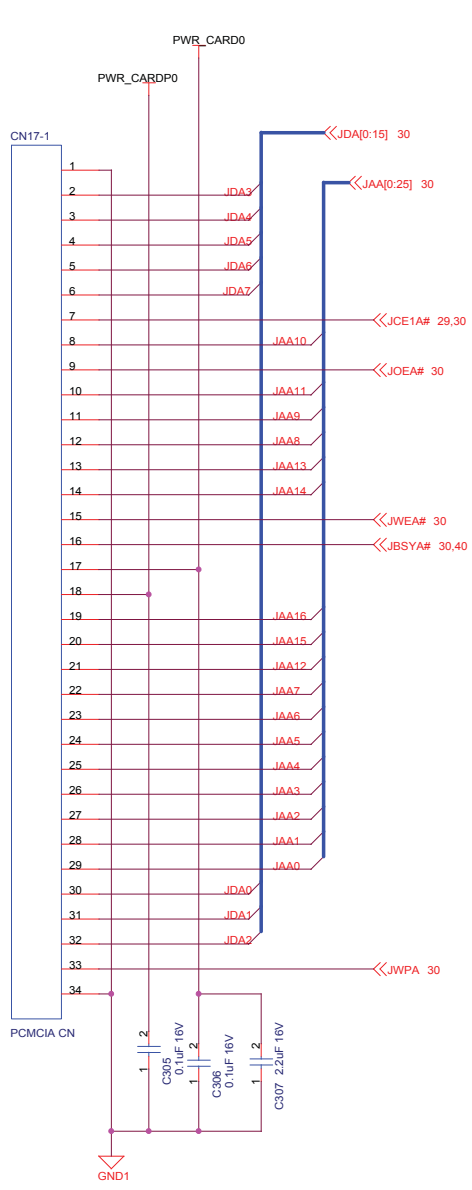
				TITLE		Rickwood Main Board	
				DRAW. No.		C1CPxxxxxx-X1	
				CAST			
Rev.	DATE	Design	Appr.	Description			
Design	2001.01.16	Komahara	Check	Yoshida	Appr.	Aoki	
FUJITSU LTD.							SHEET 31 / 82



- 29 SDATA >> 5 SDA
- 29.50 CLK_32K_SUS >> 6 SCL
- 29 SLATCH >> 8 SLA
- 40 3VSUSOK >> 7 RST#

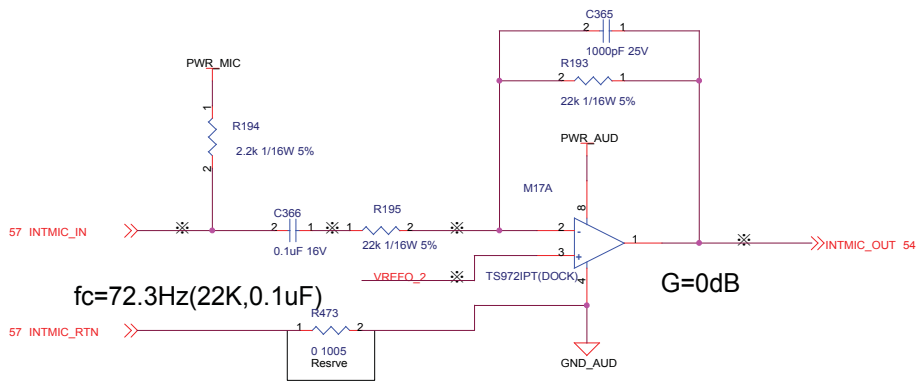
PCIC POW

TITLE							Rickwood Main Board	
DRAW. No.							CAST	
Description							C1CPxxxxx-X1	
Rev.	DATE	Design	Appr.				SHEET	
Design	2001.01.16	Komahara	Check	Yoshida	Appr.	Aoki	32 / 82	
FUJITSU LTD.								

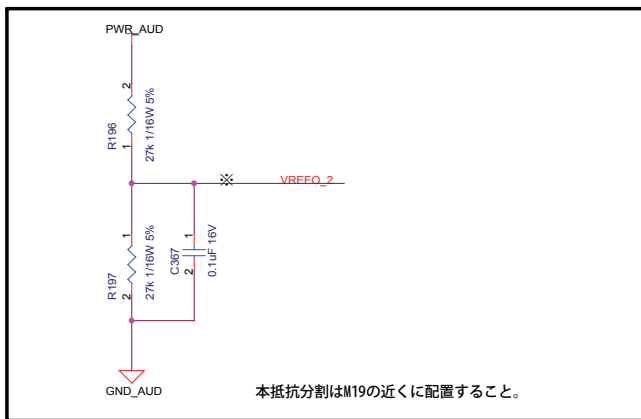


						TITLE	
						Rickwood Main Board	
						DRAW. No.	
						C1CPxxxxx-X1	
						CAST	
Rev.	DATE	Design	Appr.	Description		SHEET	
Design	2001.01.16	Komahara	Check	Yoshida	Appr.	Aoki	33 / 82
						FUJITSU LTD.	

$f_c = 7.23\text{KHz} (22\text{K}, 1000\text{pF})$



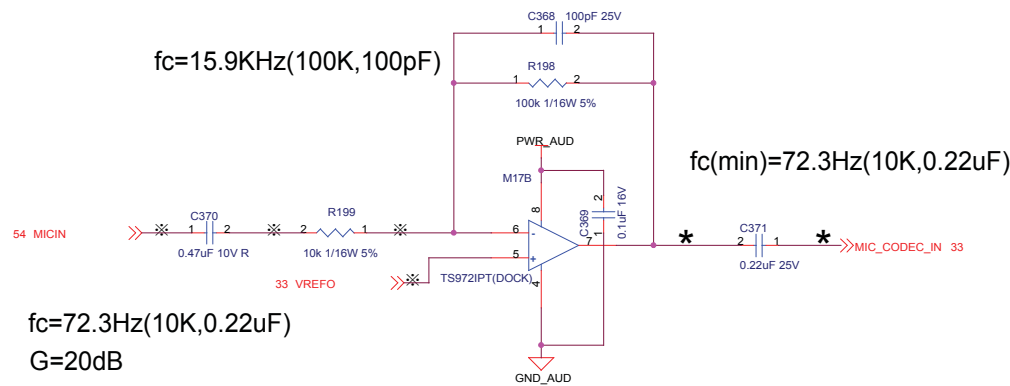
パターン接続指定 (エディタ)



* 印はAnalog Lineのため、0.25mm以上の幅で配線し、極力GND/AUDでガード(上下層を含む)すること。

※印は微小なAnalog Lineのため、0.25mm以上の幅で配線し、GND/AUDでガード(上下層を含む)すること。

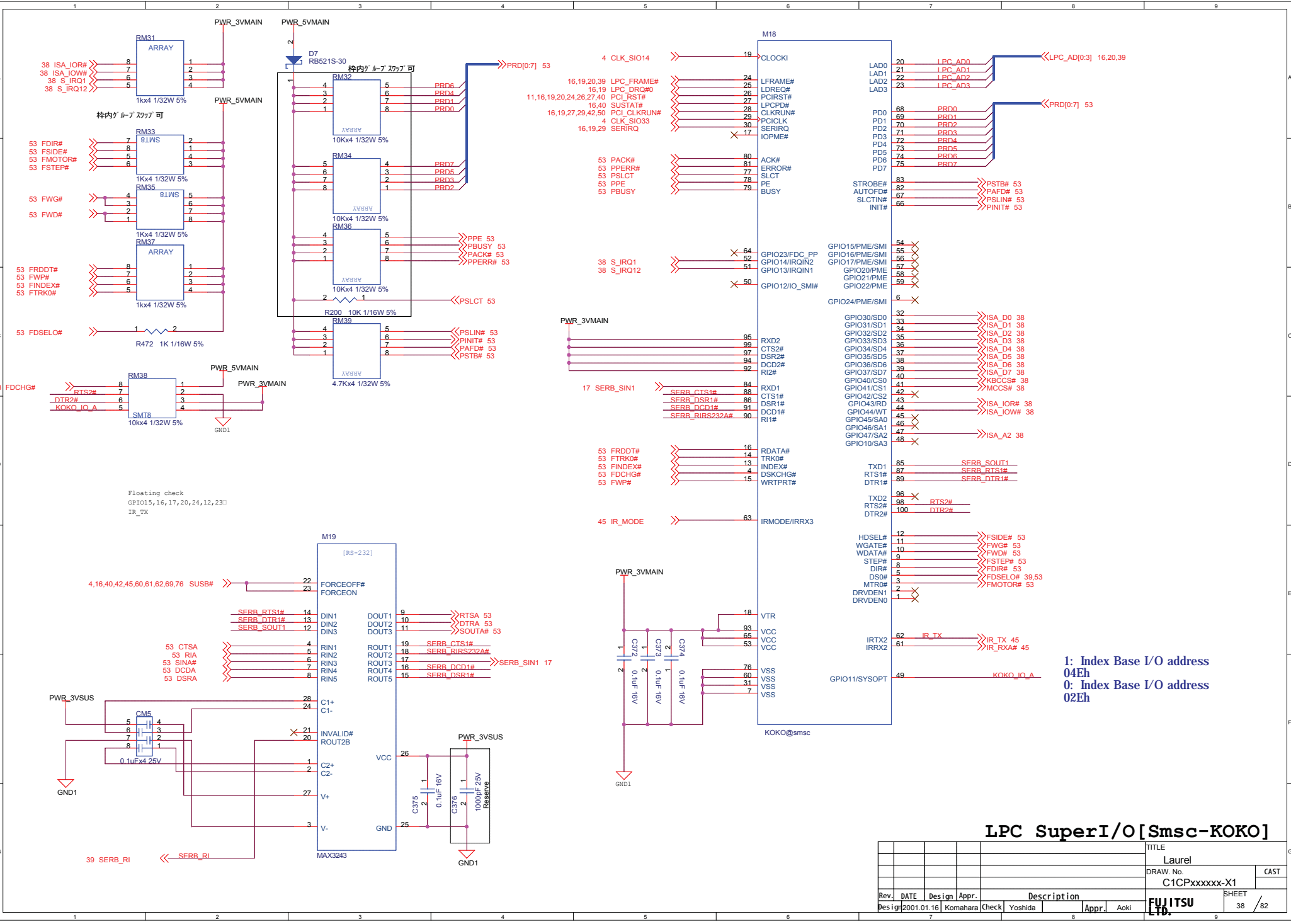
$f_c = 15.9\text{KHz} (100\text{K}, 100\text{pF})$



$f_c = 72.3\text{Hz} (10\text{K}, 0.22\text{uF})$
G=20dB

MIC AMP

					TITLE		Laurel	
					DRAW. No.		C1CPxxxxxx-X1	
					Description		CAST	
Rev.	DATE	Design	Appr.			SHEET		
Design	2001.01.16	Komahara	Check	Yoshida	Appr.	Aoki	36	/ 82
							FUJITSU LTD.	



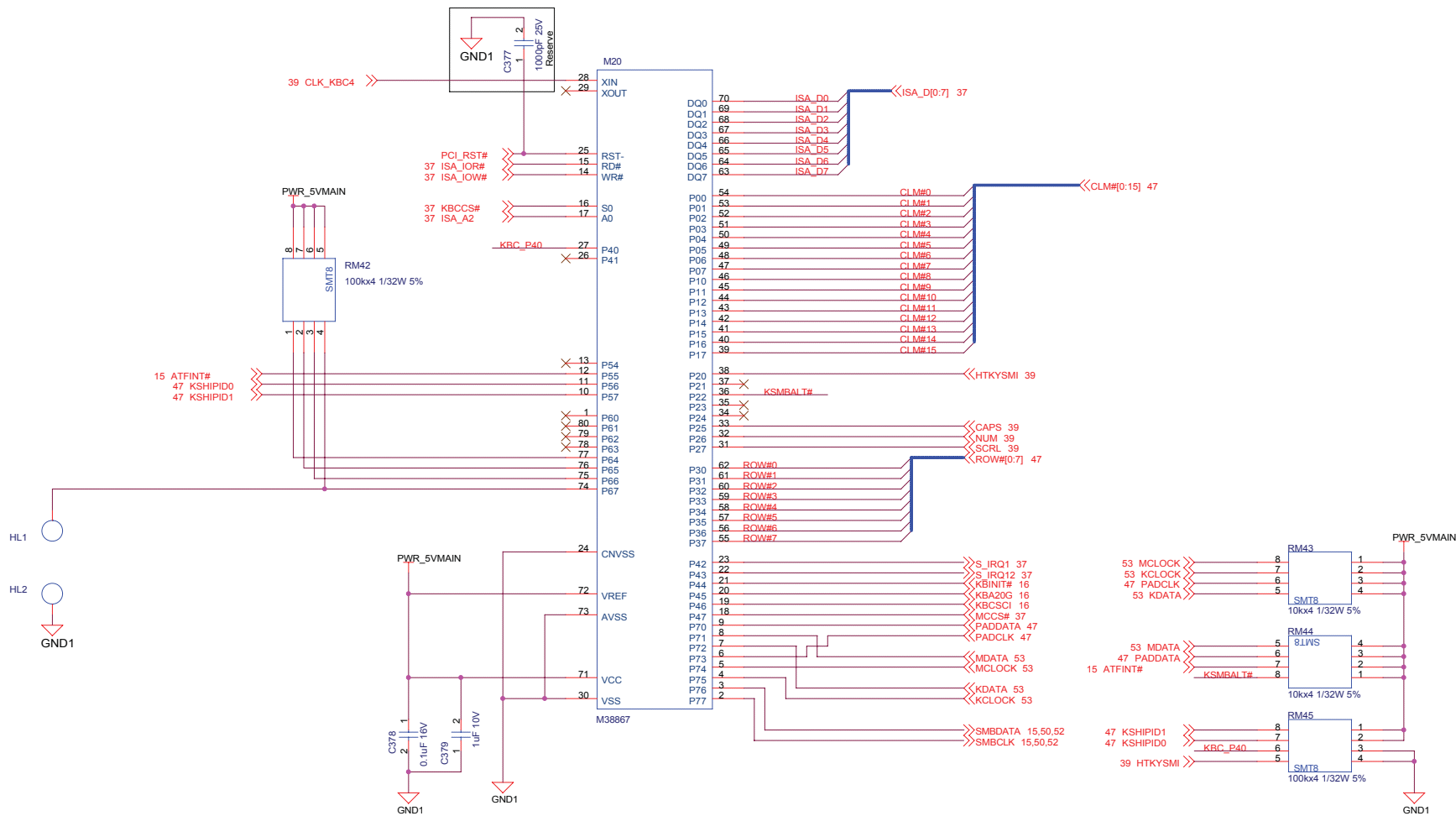
Floating check
 GPIO15,16,17,20,24,12,23
 IR_TX

1: Index Base I/O address
 04Eh
 0: Index Base I/O address
 02Eh

LPC SuperI/O [Smsc-KOKO]

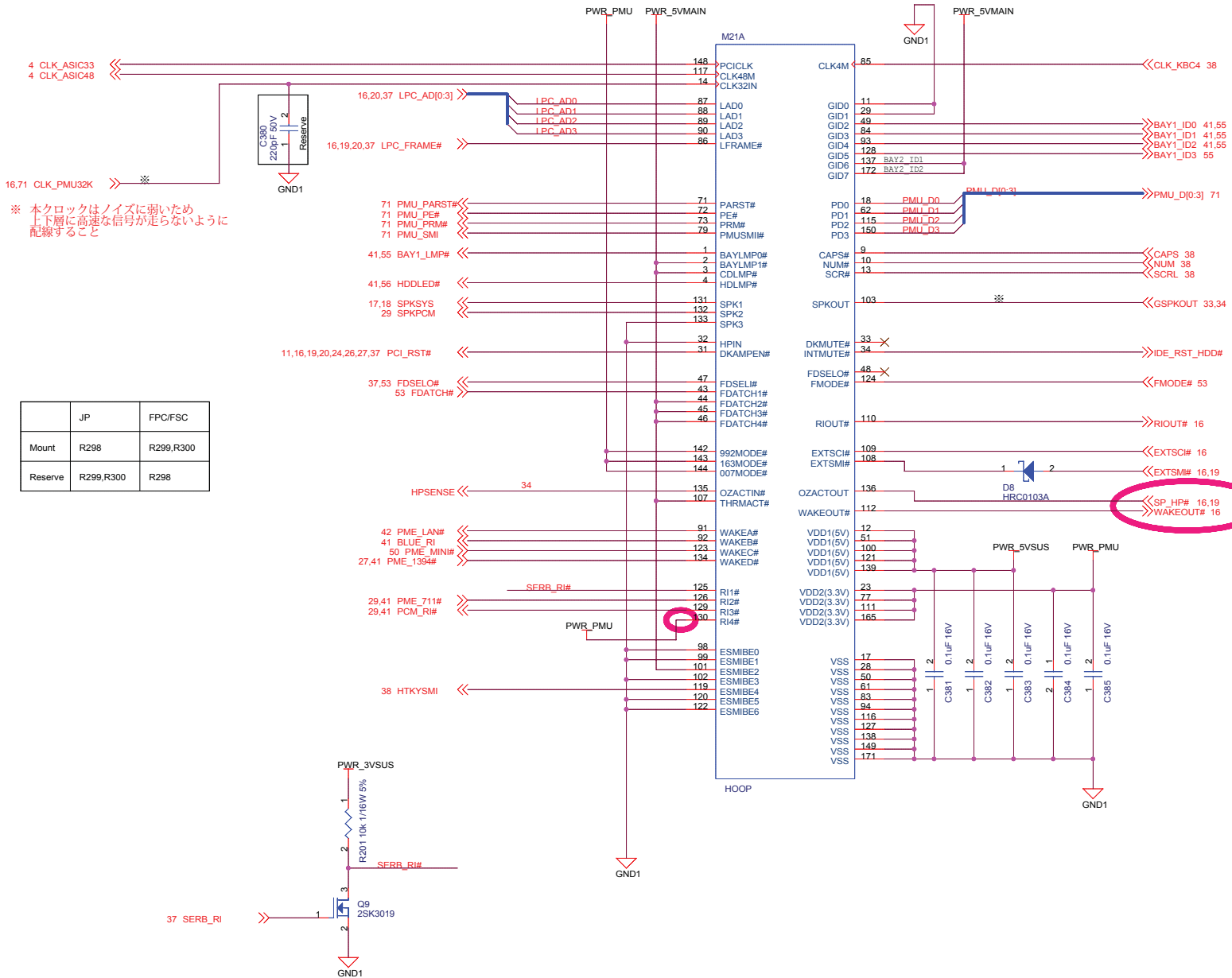
TITLE				Laurel	
DRAW. No.				C1CPxxxxxx-X1	
Rev.				DATE	
Design	2001.01.16	Design	Appr.	Check	Yoshida
Description				Appr.	
Aoki				SHEET 38 / 82	
FUJITSU LTD.					

2001.01.31
 C458: 1をCLK_KBC4->RSTDRV#に変更



KBC

						TITLE	
						Rickwood Main Board	
						DRAW. No.	
						C1CPxxxxx-X1	
						CAST	
Rev.	DATE	Design	Appr.	Description			
Design	2001.01.16	Komahara	Check	Yoshida	Appr.	Aoki	
						FUJITSU LTD.	
						SHEET	
						39 / 82	



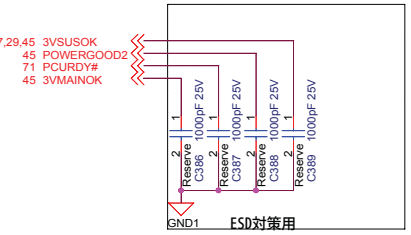
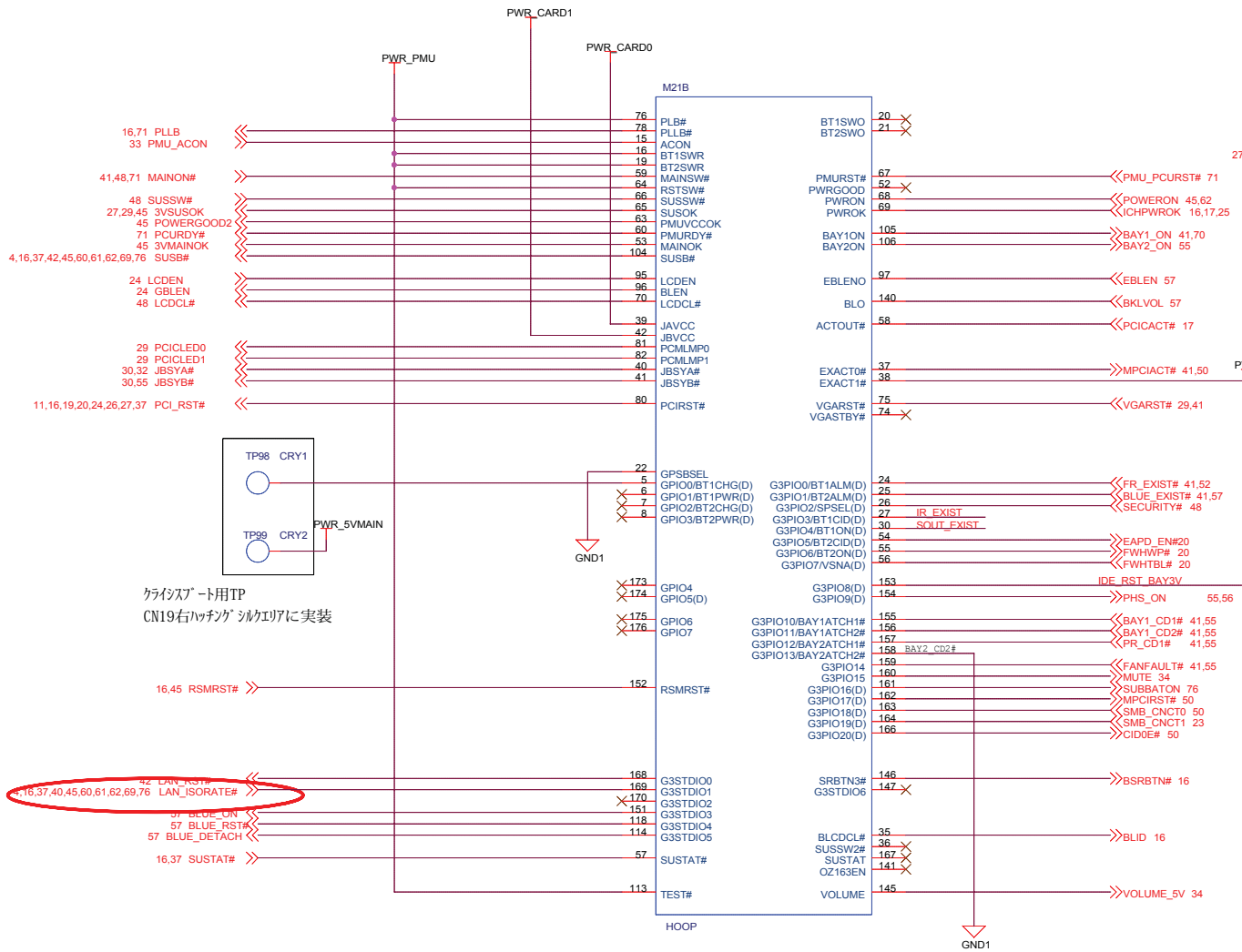
※ 本クロックはノイズに弱いため
上下層に高速な信号が走らないように
配線すること

	JP	FPC/FSC
Mount	R298	R299,R300
Reserve	R299,R300	R298

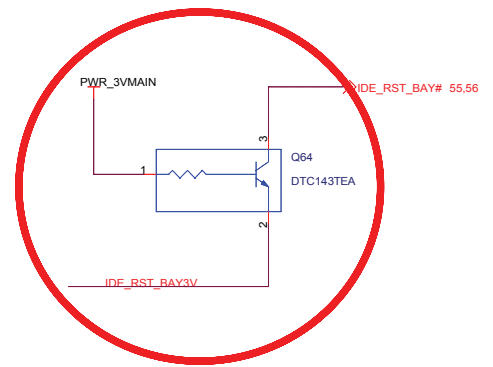
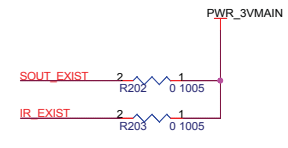
D8 HRC0103A

HOOP-1

TITLE		Laurel	
DRAW. No.		C1CPxxxxxx-X1	
Rev.		DATE	
Design	2001.01.16	Appr.	Komahara
Check	Yoshida	Appr.	Aoki
Description		FUJITSU LTD.	
SHEET		40 / 82	



本コンデンサはHOOP (M29) のピンのすくそばに配置すること

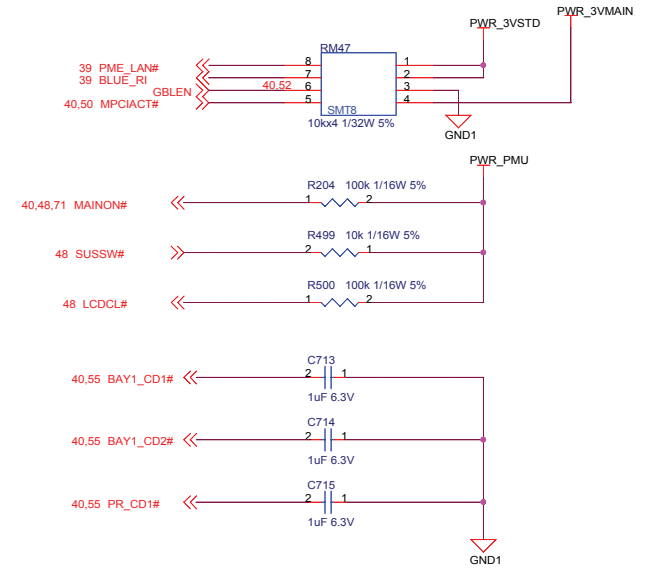
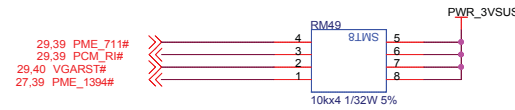
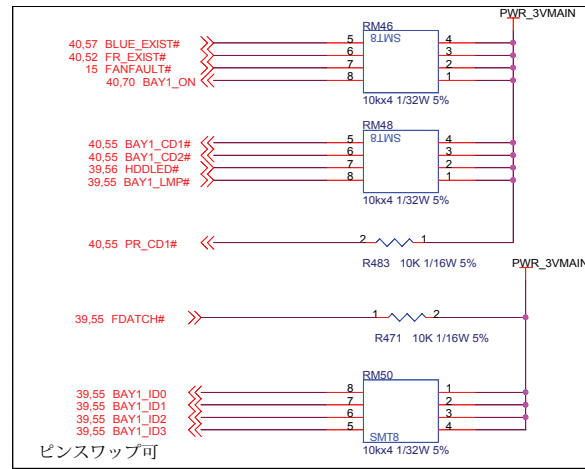


クライアント用TP
 CN19右ハッチングシリアに実装

4,16,37,40,45,60,61,62,69,76

HOOP-2

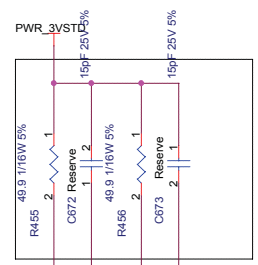
				TITLE		Laurel	
				DRAW. No.		C1CPxxxxx-X1	
				CAST			
Rev.	DATE	Design	Appr.	Description			
Design	2001.01.16	Komahara	Check	Yoshida	Appr.	Aoki	
						FUJITSU LTD.	
						SHEET 41 / 82	



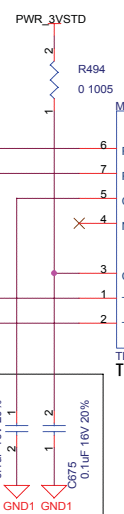
							TITLE	
							Laurel	
							DRAW. No.	
							C1CPxxxxxx-X1	
							CAST	
Rev.	DATE	Design	Appr.	Description				
Design	2001.01.16	Komahara	Check	Yoshida	Appr.	Aoki	SHEET	
							FUJITSU LTD.	
							42 / 82	

42 RXIN+
42 RXIN-

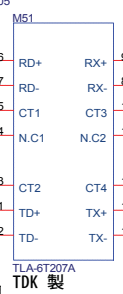
42 TXD+
42 TXD-



このブロックは、M49付近に搭載のこと。



このブロックは、M51付近に搭載のこと。



TLA-6T207A
TDK 製

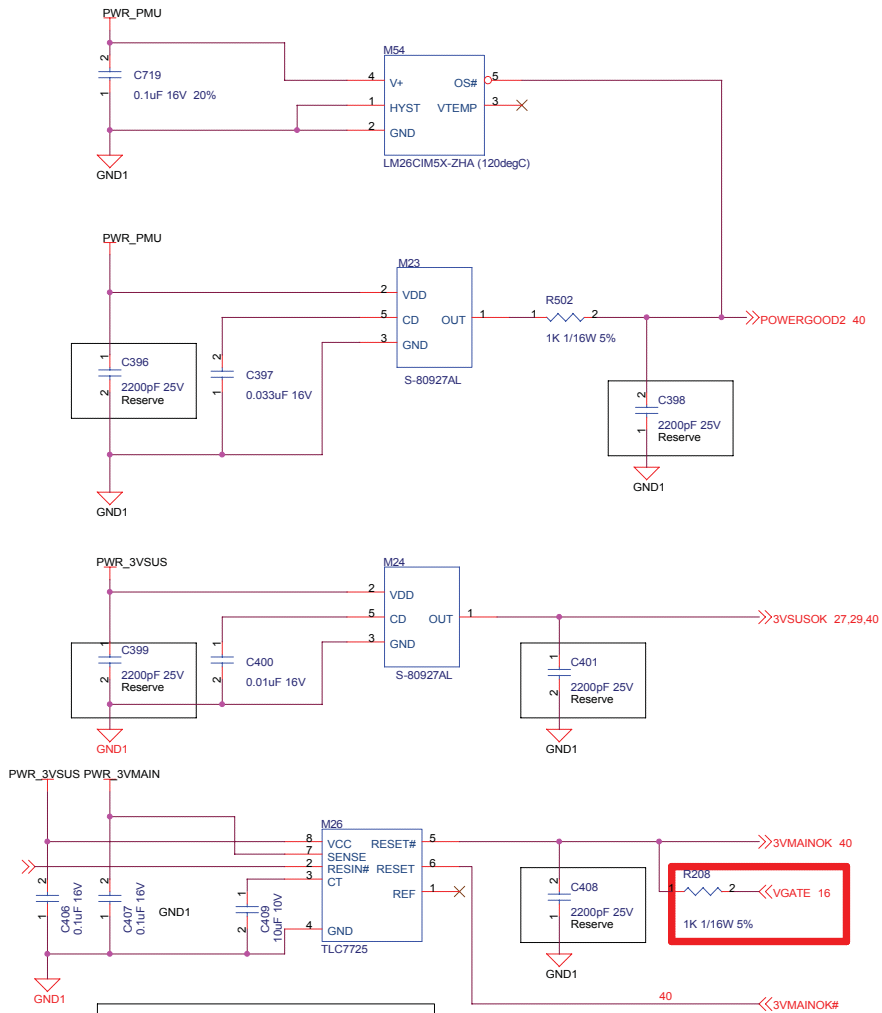
<<LAN_PR_RX+ 53
<<LAN_PR_RX- 53

<<LAN_PR_TX+ 53
<<LAN_PR_TX- 53

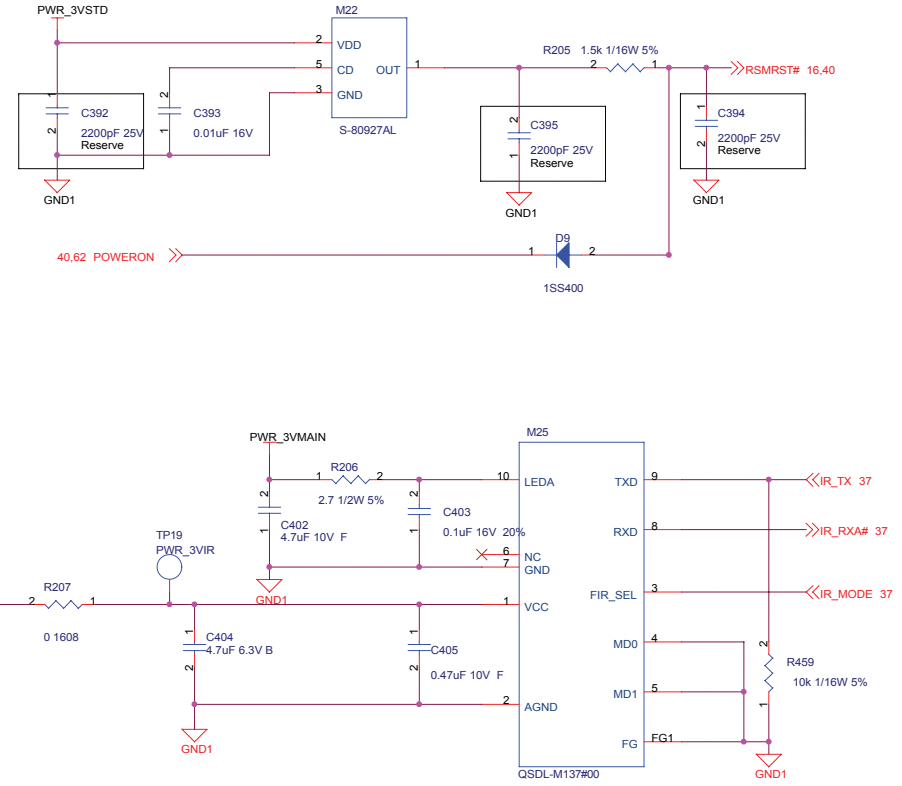
USB CN

				TITLE		Laurel	
				DRAW. No.		CAST	
				C1CPxxxxxx-X1			
Rev.	DATE	Design	Appr.	Description			
Design	2001.01.16	Komahara	Check	Yoshida	Appr.	Aoki	
						FUJITSU LTD.	
						SHEET 44 / 82	

※本ページのReset ICは各電源の発生源の近傍に配置願います。

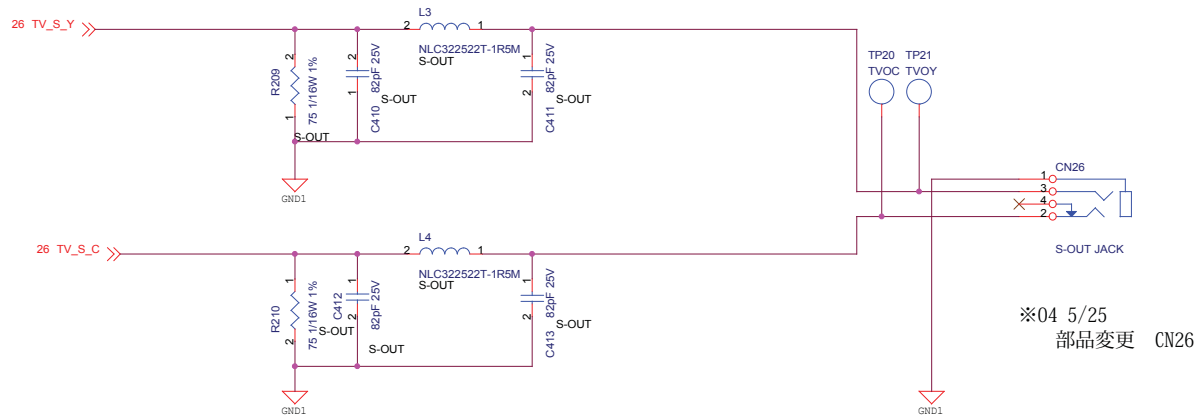


遅延ターゲット
 S-8094x
 Example (0.1uF):
 $Td(ms) = 5.7 \times Cd(nF)$
 $= 5.7 \times 100 = 570(ms) = 0.57(s)$



RESET IC/SW

TITLE							Laurel	
DRAW. No.							C1CPxxxxx-X1	
Description							CAST	
Rev.	DATE	Design	Appr.	Check	Yoshida	Appr.	Aoki	SHEET
Design	2001.01.16	Komahara						46 / 82
FUJITSU LTD.								

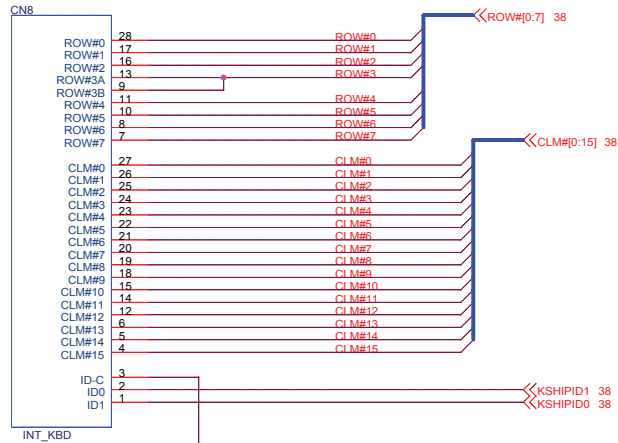


※04 5/25
部品変更 CN26

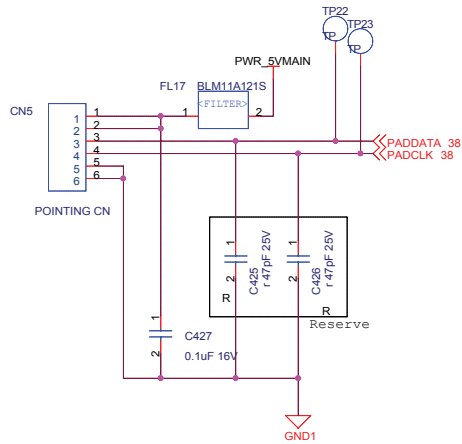
本コネクタはVGA chipの近傍に配置すること。

							TITLE	
							Laurel	
							DRAW. No.	
							C1CPxxxxx-X1	
							CAST	
Rev.	DATE	Design	Appr.	Description			SHEET	
Design	2001.01.16	Komahara	Check	Yoshida	Appr.	Aoki	47 / 82	
							FUJITSU LTD.	

THYME Keyboard Connector

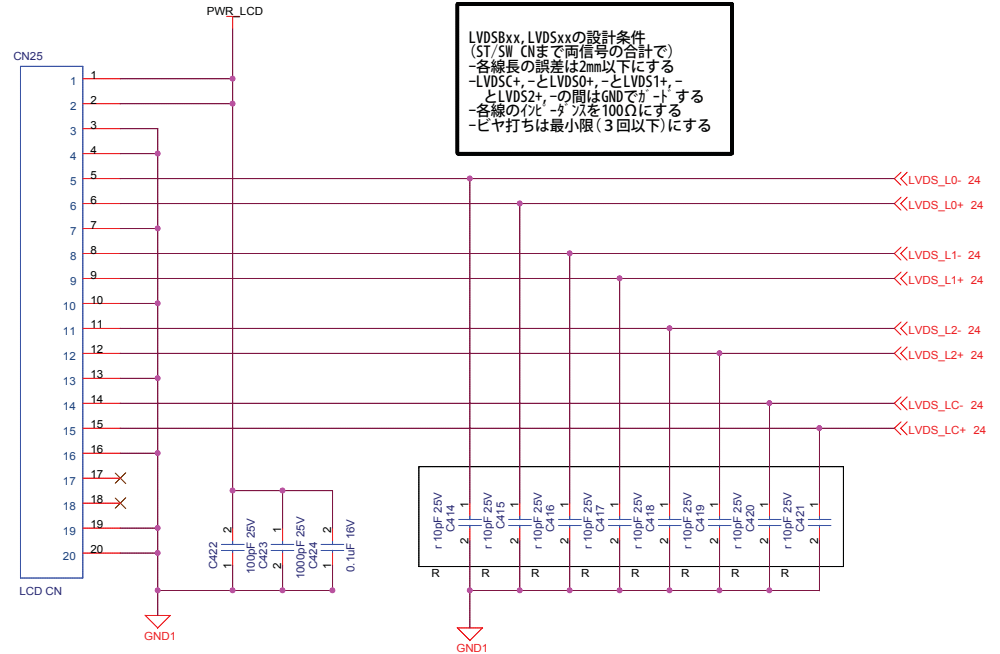


Keyboard Strap (N86C-7664-0203-E)
 ID1:ID0 (KBC Side)
 JP 0 0
 US 0 1
 UK 1 0



※優先に配線願います。

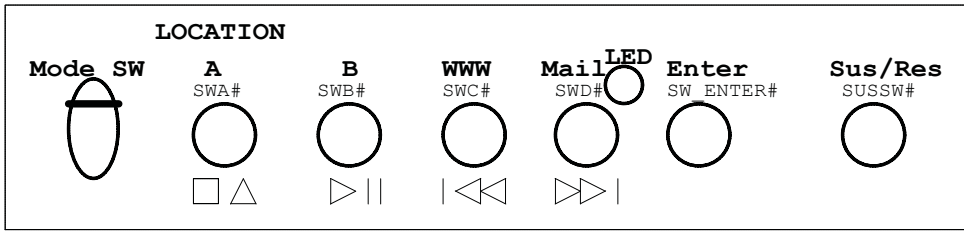
LVDSBxx, LVDSxTxの設計条件
 (ST/SW CNまで両信号の合計で)
 -各線長の誤差は2mm以下にする
 -LVDSCL+、-とLVDSOL+、-とLVDS1+、-
 とLVDS2+、-の間はGNDでガードする
 -各線のインピーダンスを100Ωにする
 -ビヤ打ちは最小限(3回以下)にする



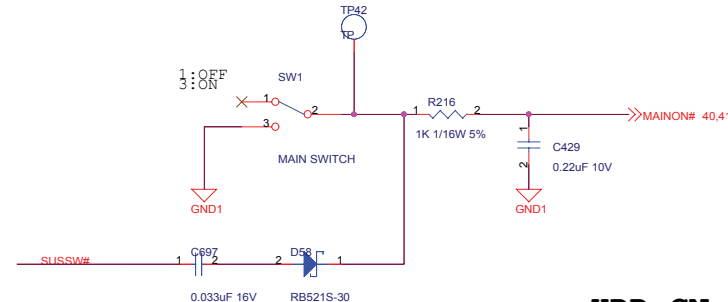
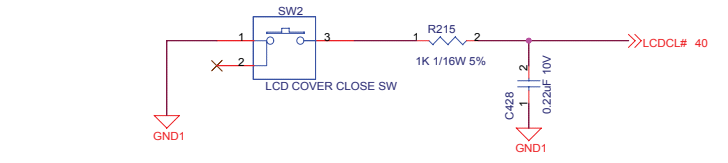
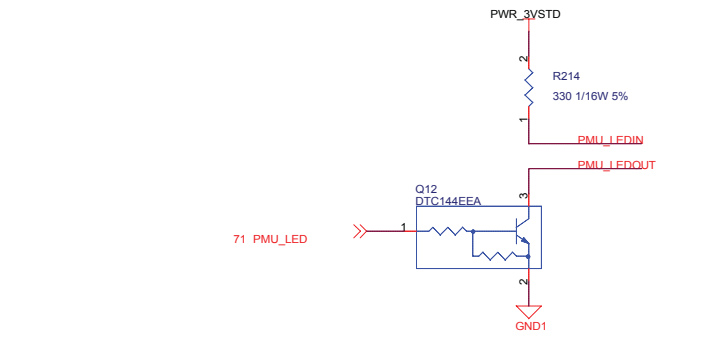
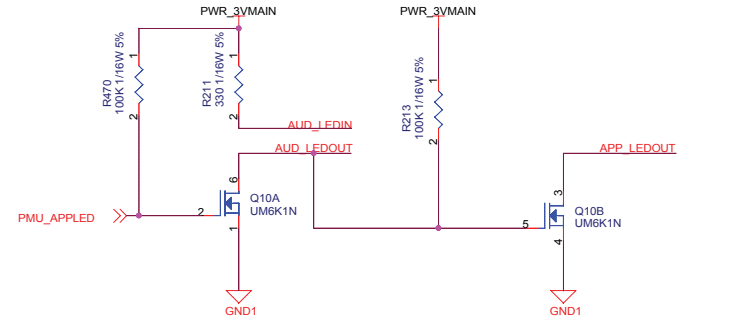
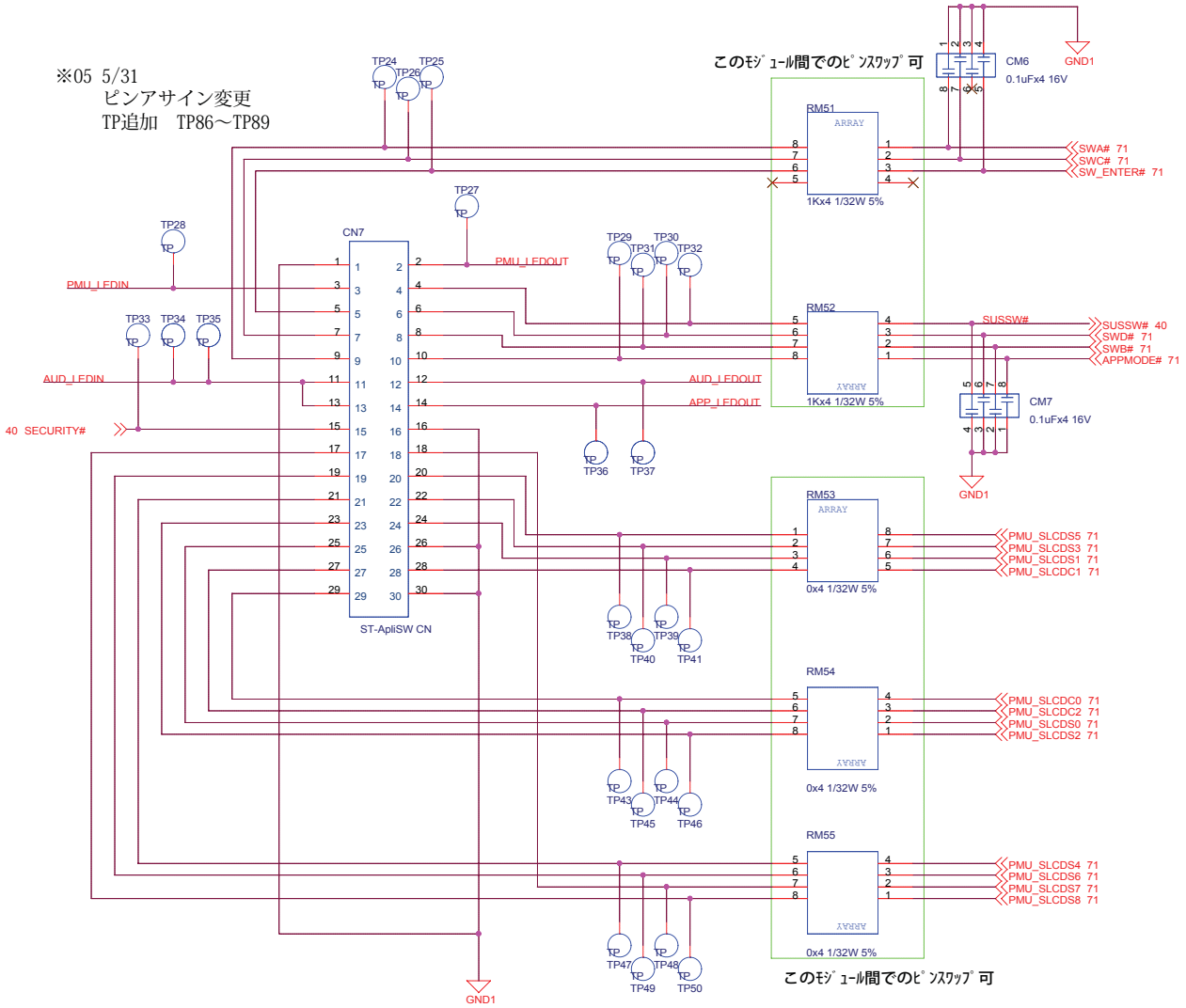
上記のコンデンサはLCD
 CNの近傍に設置すること

Pullup for IDE

				TITLE		Laurel	
				DRAW. No.		C1CPxxxxxx-X1	
				Description		CAST	
Rev.	DATE	Design	Appr.			SHEET	
Design	2001.01.16	Komahara	Check	Yoshida	Appr.	Aoki	48 / 82
FUJITSU LTD.							

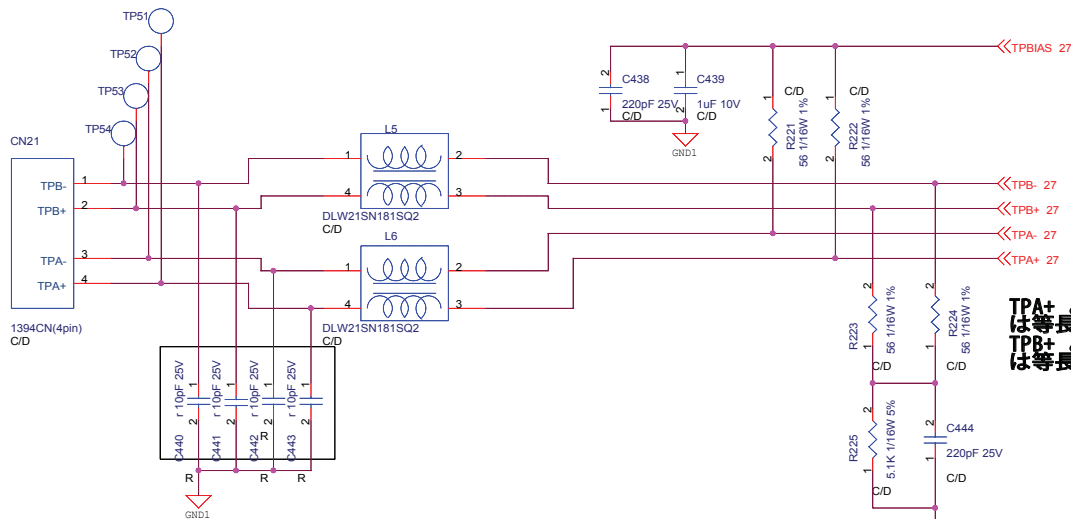
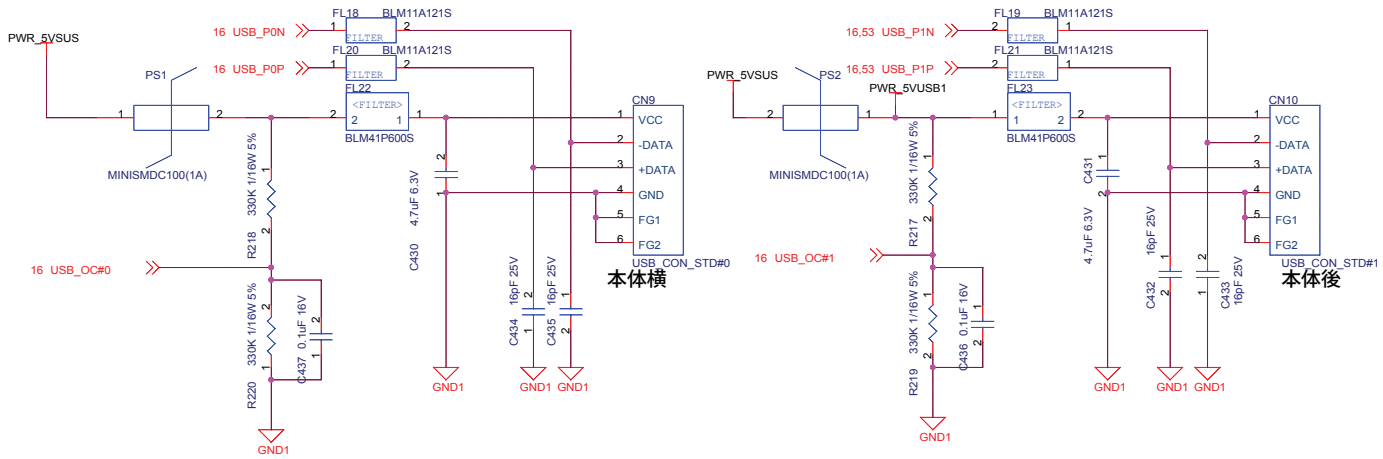


※05 5/31
ピンアサイン変更
TP追加 TP86~TP89

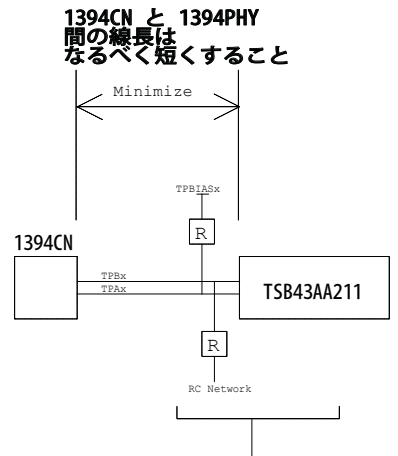


HDD CN

TITLE		Laurel	
DRAW. No.		C1CPxxxxx-X1	
Rev.		DATE	
Design	2001.01.16	Komahara	Check
Description		Yoshida	
Appr.		Aoki	
SHEET		49 / 82	
FUJITSU LTD.			



TPA+ と TPA-
は等長配線すること
TPB+ と TPB-
は等長配線すること

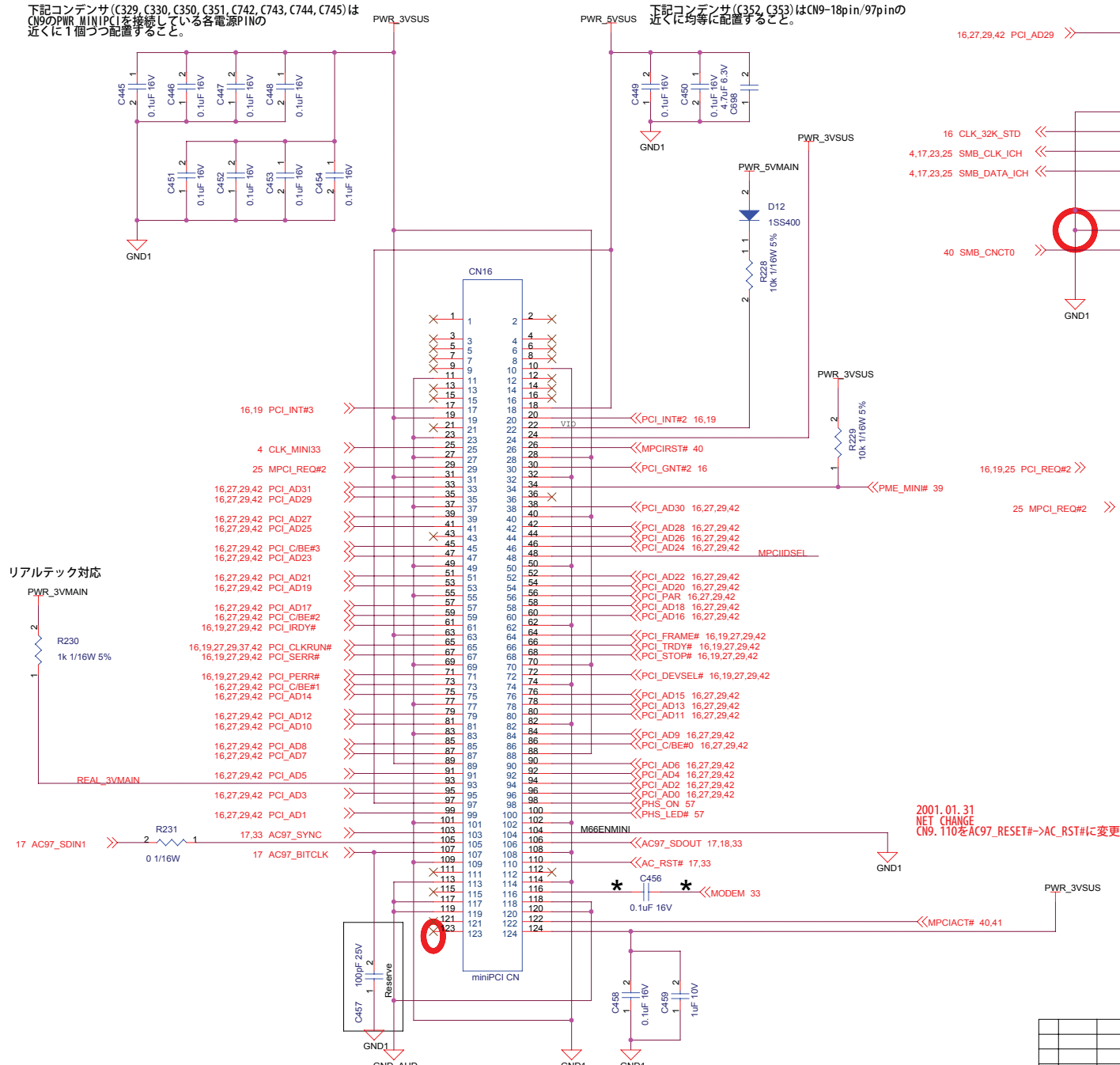


上記の図のように、TPA+、
TPB+に直接つながる抵抗は、
なるべくTSB43AA21の近傍に置くこと

				TITLE		Laurel	
				DRAW. No.		C1CPxxxxx-X1	
				Description		FUJITSU	
Rev.	DATE	Design	Appr.	Check	Yoshida	Appr.	Aoki
Design	2001.01.16	Komahara					
						SHEET	50 / 82
						LTD.	

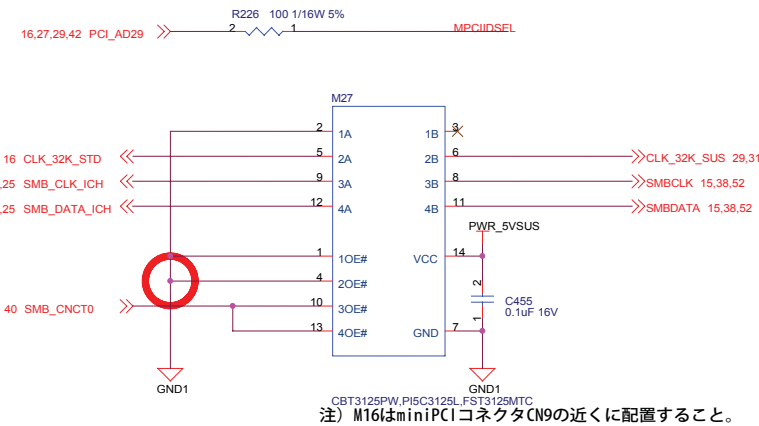
下記コンデンサ(C329, C330, C350, C351, C742, C743, C744, C745)はCN9のPWR_MINIPCIを接続している各電源PINの近くに1個ずつ配置すること。

下記コンデンサ(C352, C353)はCN9-18pin/97pinの近くに均等に配置すること。



C357はCN9-107pinの近くに置くこと

C358, C359はCN9-124pinの近くに置くこと



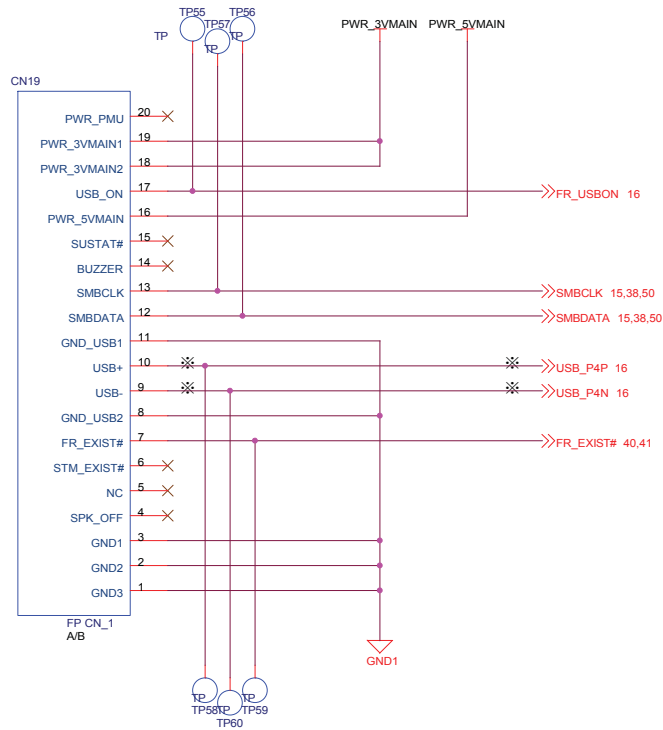
注) M16はminiPCIコネクタCN9の近くに配置すること。

* 印はAnalog Lineのため極力GND/AUDでガード(上下層を含む)すること。

2001.01.31 NET CHANGE CN9_110をAC97_RESET#->AC_RST#に変更

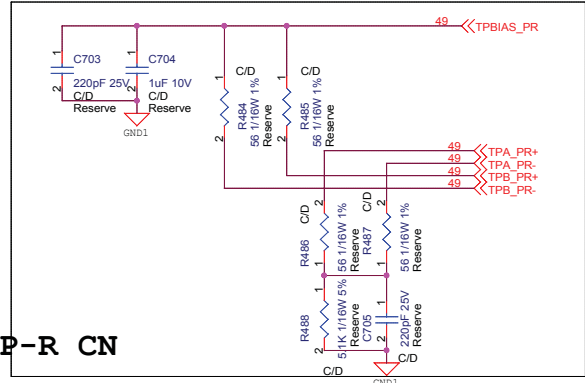
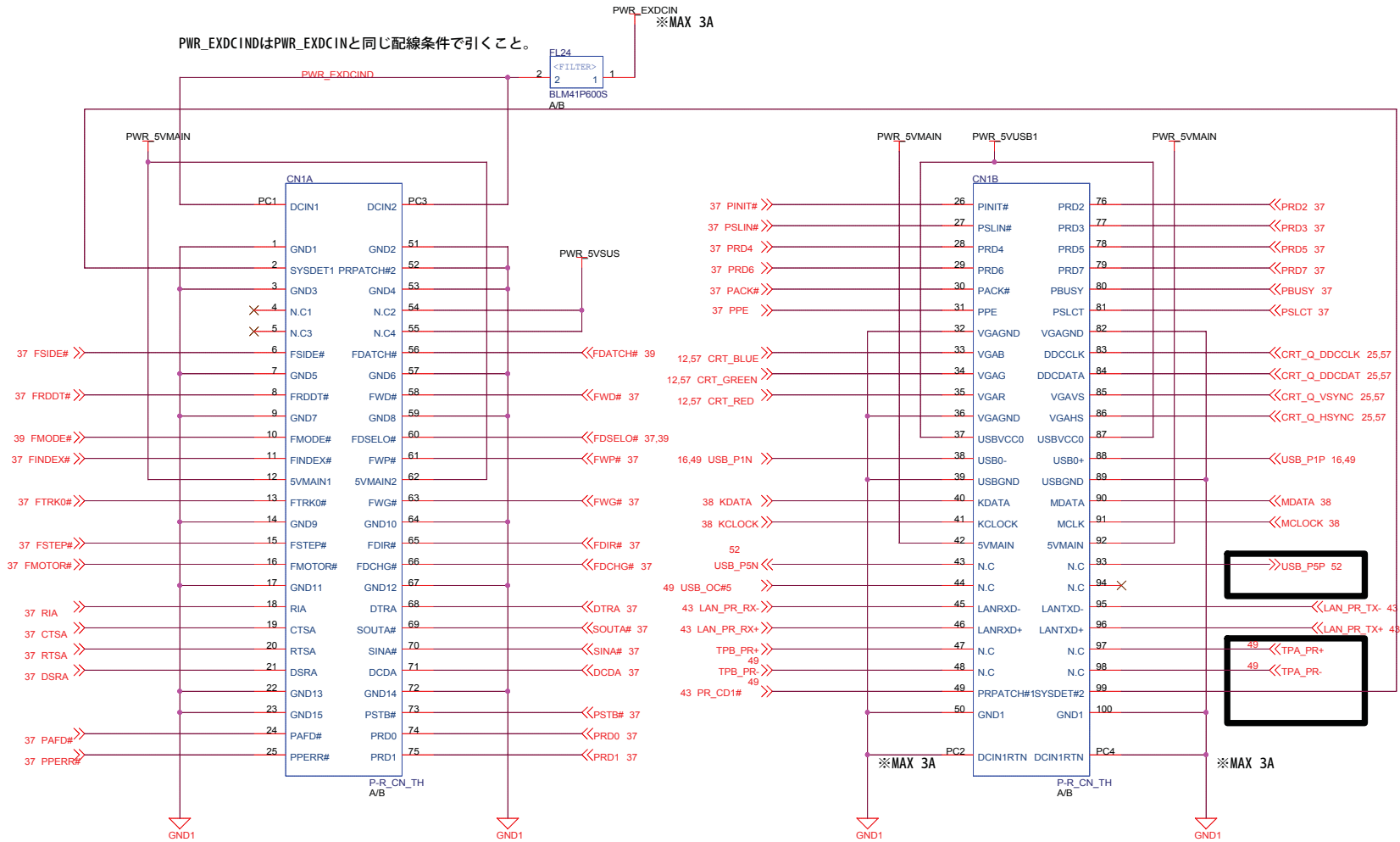
MiniPCI CN

TITLE				Laurel	
DRAW. No.				C1CPxxxxx-X1	
Description				SHEET 51 / 82	
Rev.	DATE	Design	Appr.	Description	
Design	2001.01.16	Komahara	Check	Yoshida	Appr. Aoki
FUJITSU LTD.				CAST	



							TITLE	
							Laurel	
							DRAW. No.	
							C1CPxxxxx-X1	
							CAST	
Rev.	DATE	Design	Appr.	Description			SHEET	
Design	2001.01.16	Komahara	Check	Yoshida	Appr.	Aoki	53 / 82	
							FUJITSU LTD.	

PWR_EXDCINDはPWR_EXDCINと同じ配線条件で引くこと。
 ※MAX 3A



注) LAN信号線(LANTXD+, LANTXD-, LANRXD+, LANRXD-)は、LANTXD+ - LANTXD-, LANRXD+ - LANRXD-をそれぞれ対で配線し、対の距離は、最低配線距離、TXD, RXD間はその5倍の距離を離すこと。また、この4本を通して上下2層は配線領域から横方向に3mmを内層7/Aとする。上下3層目は、GND1にて、配線の上をGND1でガードすること。但し、カットも含め、本信号線のシールドおよび、配線から3mm以内は、絶縁距離として確保し、いかなる信号線も3mm以下の距離になってはならない。但し、例外条件として、上下3層目は本信号と完全に直行する場合のみ他の信号線の布線を許可する。(必要最低限に抑えること)

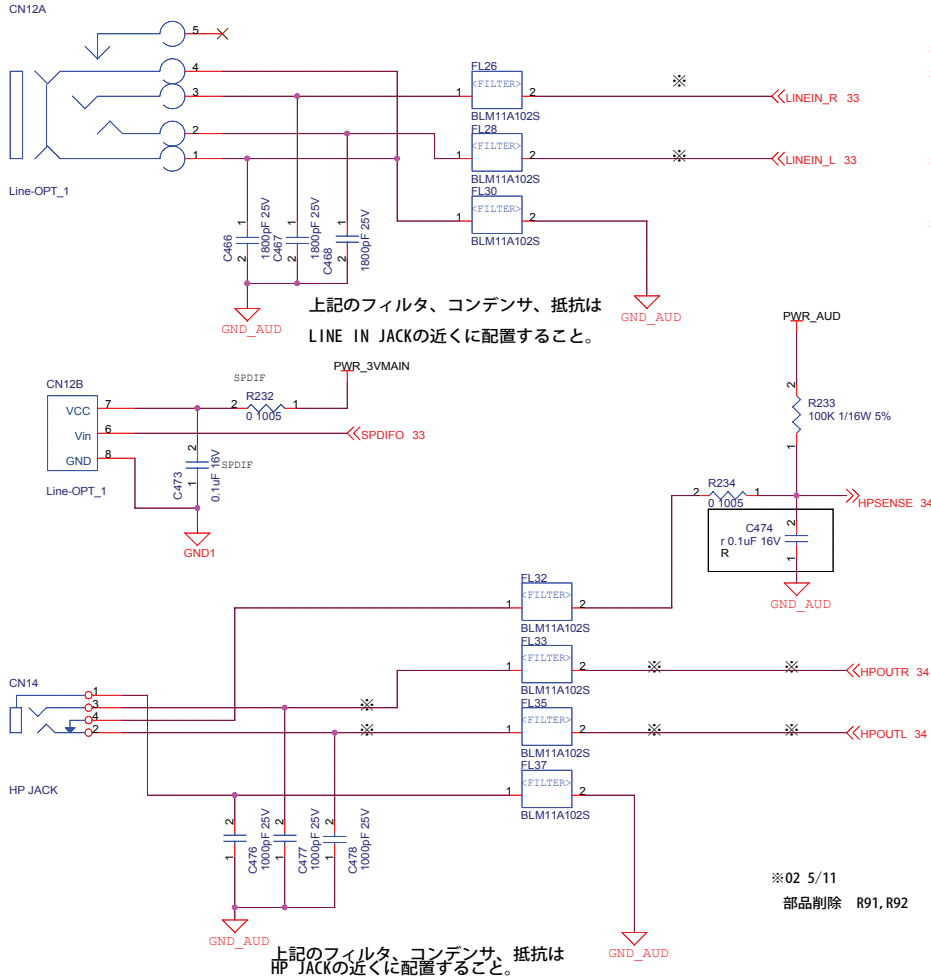
注) PWR_EXDCIND (FL1 - P-R CN間)は、コネクタ出し部シールド各3個計6個で引き出し、3mm以上のパターン幅、最短距離でFL1へ接続すること。PWR_EXDCINIは3mm以上のパターン幅で布線することが要求される。



Rev.	DATE	Design	Appr.	Check	Yoshida	Description	TITLE
Design	2001.01.16	Komahara					Laurel
							C1CPxxxxx-X1
							CAST
							SHEET 54 / 82
							FUJITSU LTD.

P-R CN

全項AUDIO AREA

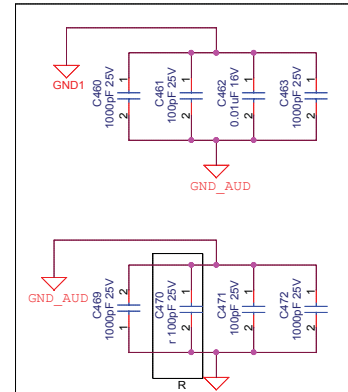
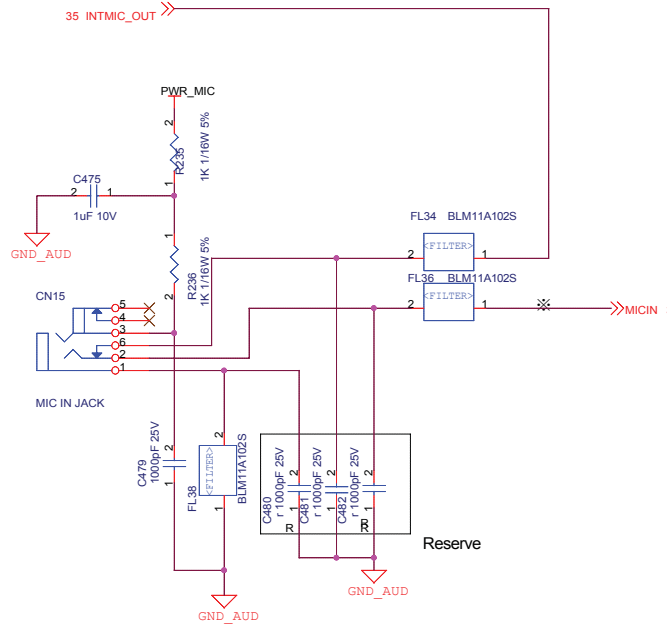
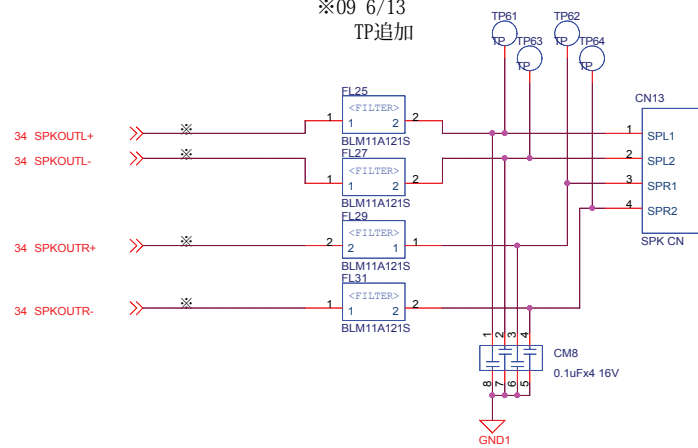


本ページ中に記載されているフィルタ (FLxx) はそれぞれ接続されているコネクタの近くに配置し、フィルターコネクタ間の配線は非常に短く配線すること。
The filters in this page (referred with FLxx) have to be placed near each connector connecting to respective filters. The traces between connector and filter have to be short as much as possible.

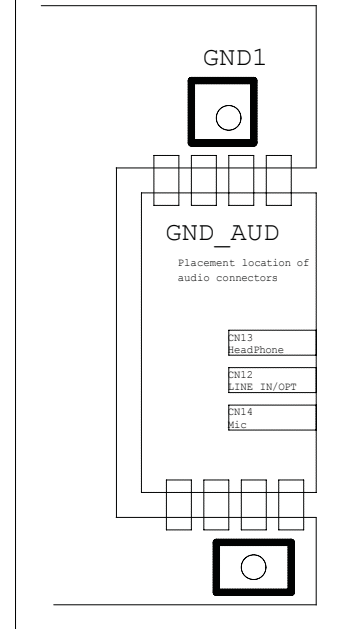
本項中※印のついたパターンは、AUDIOGNDでガードし、その上下はAUDIOGNDのベタパターンで覆うこと。また、Mxの下の基板面およびその下の層には、デジタル系の信号線を配線しないこと。
The traces marked with ※ have to be guarded both side and both adjacent layer with AUDIOGND. Underneath Mx on surface layer and in one more internal layer don't allow digital traces to be run.

※02 5/11
部品削除 R91, R92

※09 6/13
TP追加

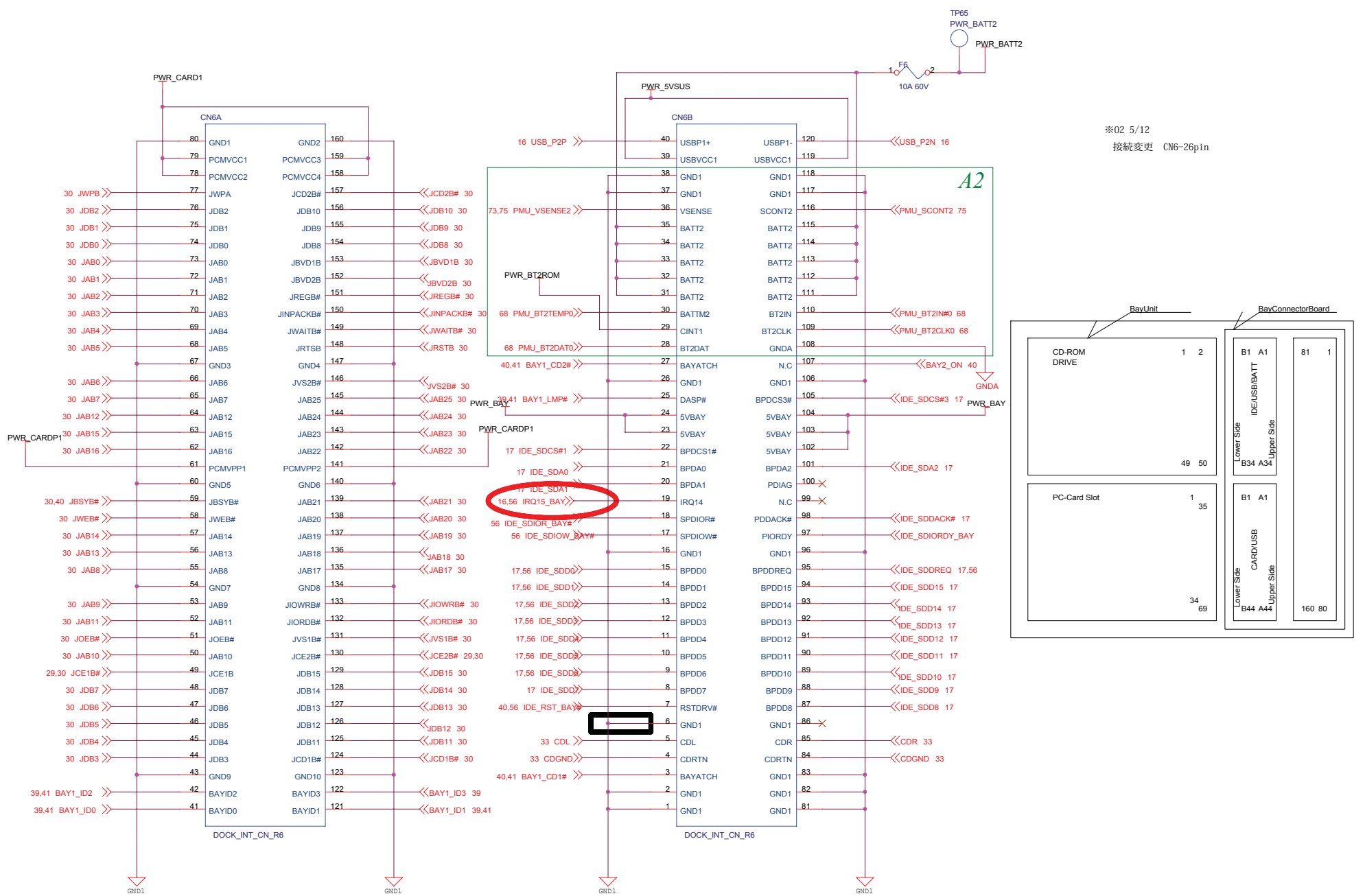


上記のコンデンサは下記のように配置すること。

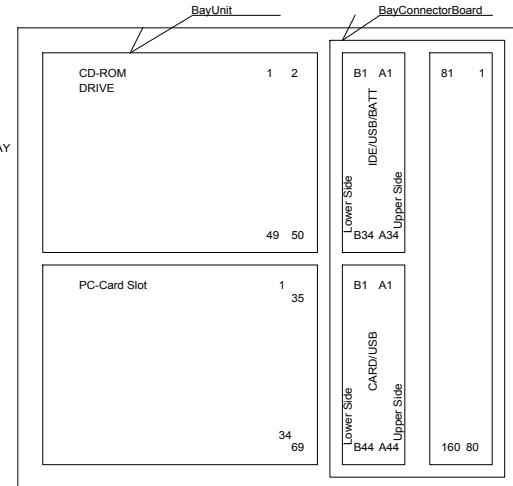


DOCK CN-1

Rev.	DATE	Design	Appr.	Description	TITLE	Laurel
Design	2001.01.16	Komahara	Check	Yoshida	DRAW. No.	C1CPxxxxxx-X1
					Appr.	Aoki
					SHEET	55 / 82
						FUJITSU LTD.

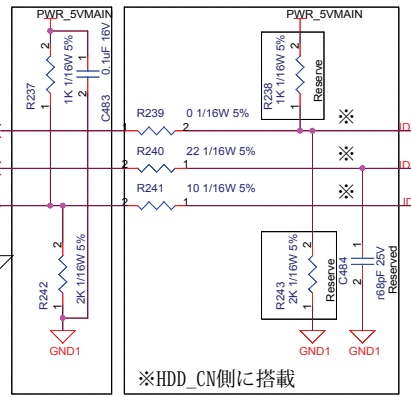


※02 5/12
接続変更 CN6-26pin



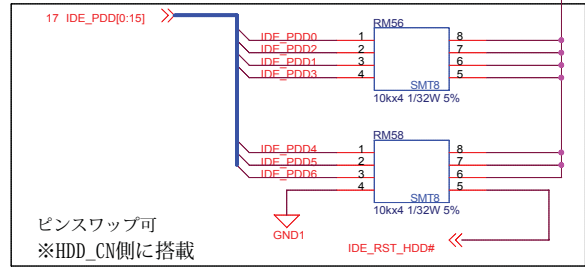
Rev.	DATE	Design	Appr.	Description		TITLE
Design	2001.01.16	Komahara	Check	Yoshida	Appr.	Aoki
						Laurel
						CAST
						C1CPxxxxxx-X1
						SHEET 56 / 82
						FUJITSU LTD.

※IDE_PDIOR_HDD#, IDE_PDIOW_HDD#, IDE_PDIORDY_HDD#はそれぞれGND1の「カト」を付けて付線すること。

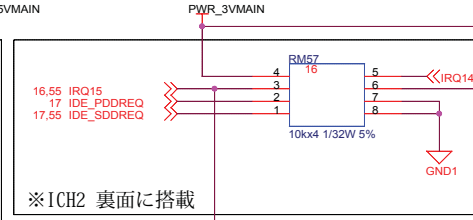


※HDD_CN側に搭載

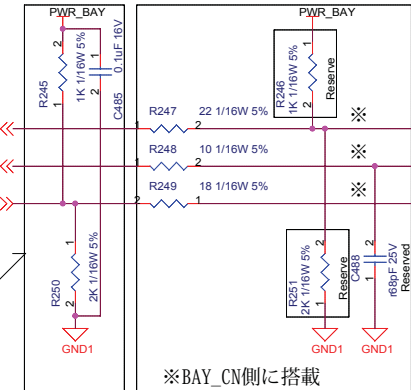
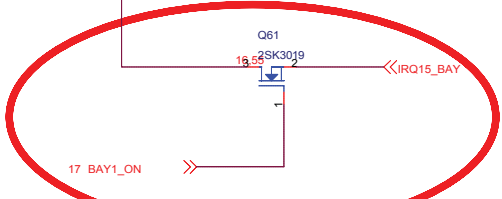
※ICH2 pinAB13直裏面に搭載



ピンスワップ可
※HDD_CN側に搭載

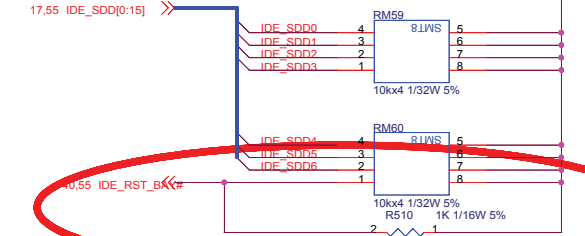


※ICH2 裏面に搭載

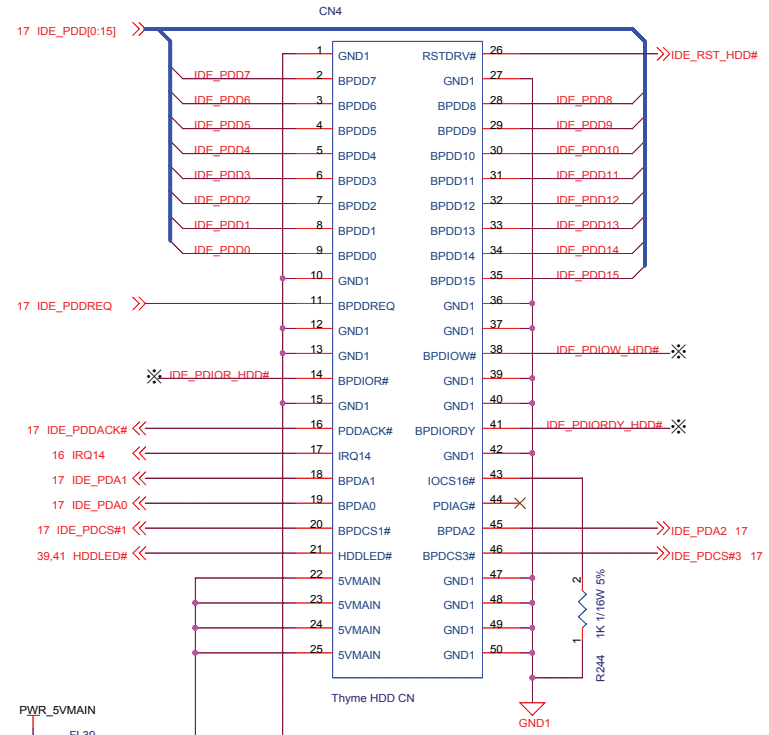


※BAY_CN側に搭載

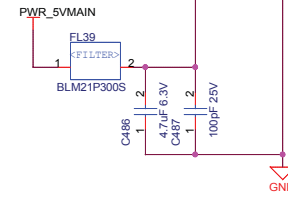
※ICH2 pinAB19直裏面に搭載



HDD

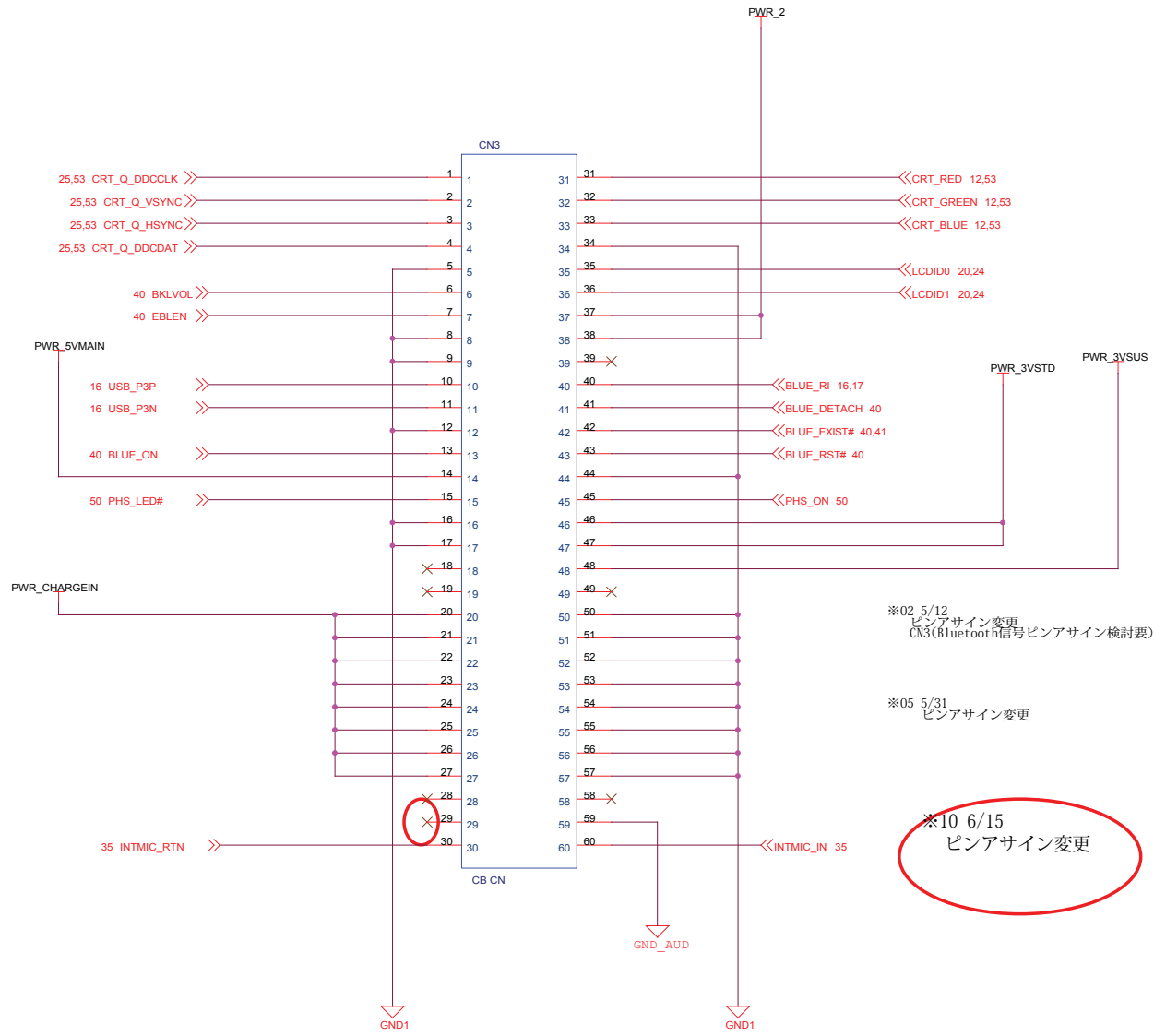


※02.5/12
ピンサイン変更 CN4



Rev.	DATE	Design	Appr.	Check	Yoshida	Description	TITLE	Laurel
Design	2001.01.16	Komahara					DRAW. No.	C1CPxxxxx-X1
							Appr.	Aoki
							SHEET	57 / 82
							FUJITSU LTD.	

※02 5/9
電源変更



※02 5/12
ピンアサイン変更
CN3(Bluetooth信号ピンアサイン検討要)

※05 5/31
ピンアサイン変更

※10 6/15
ピンアサイン変更

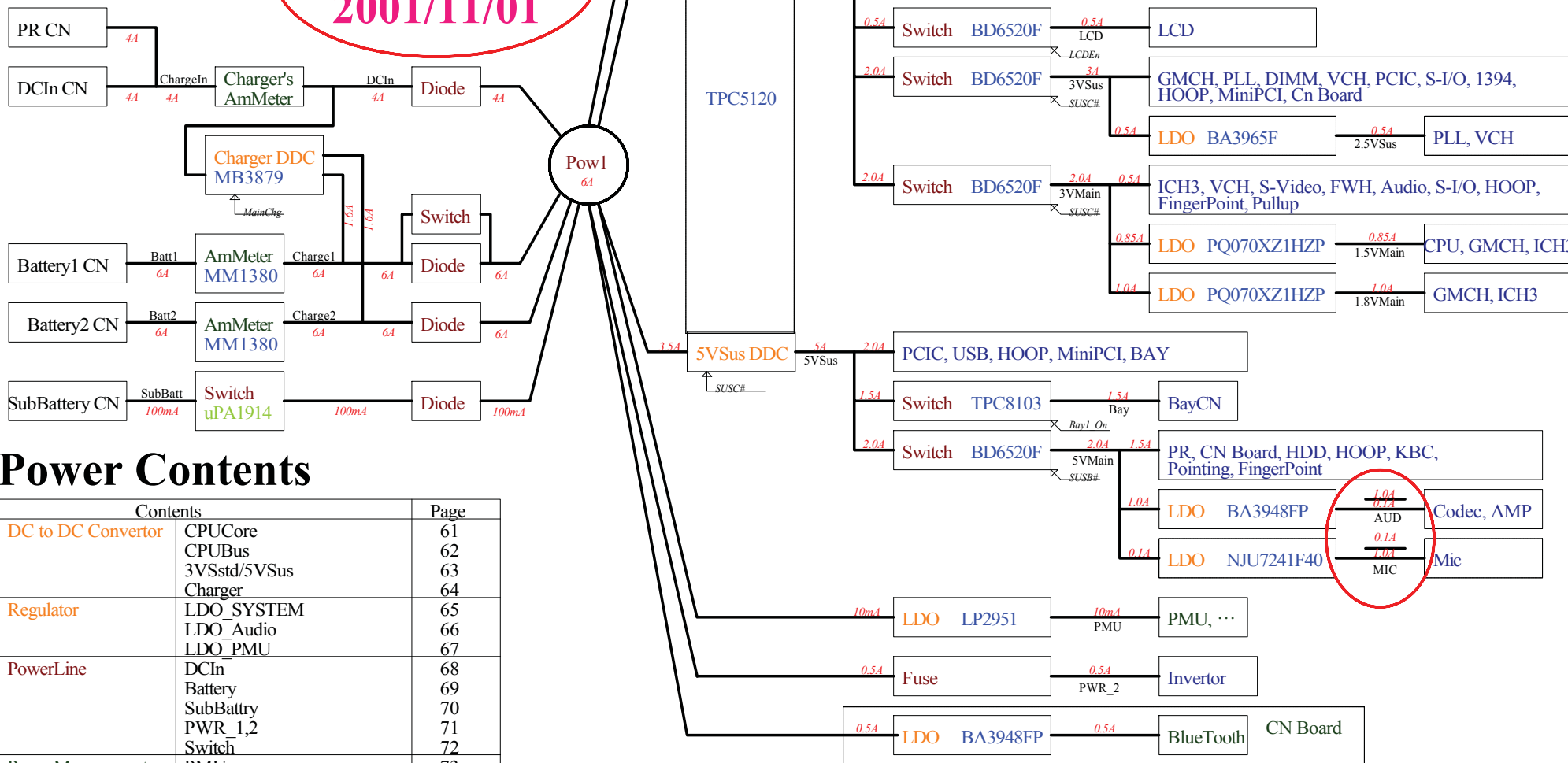
Backup

							TITLE		Lurel	
							DRAW. No.		C1CPxxxxx-X1	
							CAST			
Rev.	DATE	Design	Appr.	Description			SHEET		58 / 82	
Design	2001.01.16	Komahara	Check	Yoshida	Appr.	Aoki	FUJITSU LTD.			

LAUREL Power

Power Tree

~~2001/08/13~~
2001/11/01



Power Contents

Contents		Page
DC to DC Convertor	CPUCore	61
	CPUBus	62
	3VStd/5VSus	63
	Charger	64
	Regulator	65
Regulator	LDO_SYSTEM	65
	LDO_Audio	66
	LDO_PMU	67
PowerLine	DCIn	68
	Battery	69
	SubBatt	70
	PWR_1,2	71
	Switch	72
PowerManagement	PMU	73
	AmMeter	74
	VolMeter	75
	ACon/BIn	76
	Scont	77

				TITLE Laurel	
				DRAW. No. C1CP064740-X1	
				CAST	
Rev.	DATE	Design	Appr.	Description	
Design			Check	Appr.	
				FUJITSU LTD.	
				SHEET 59 / 76	

パターン接続指定 (エディタ)

2001. 11. 01
C623~C628変更: CAH06-R1E1005K⇒CAH39-R1E1005K
footprint変更: ⇒1510P103

2001. 11. 01
D51変更: HRC0103A⇒RB5215-30
⇒CA47002-0109

TP97
CPUCORE

配線について

- ☆ A 電源ライン、平滑コンデンサ端子で30Aのパターン幅、ビア数で配線すること
- ☆ B 電源ライン、平滑コンデンサ端子で25Aのパターン幅、ビア数で配線すること
- ☆ D 最短となるべくVIAを使わずにパターンを引くこと
- ☆ e 電源制御ICに接続する各ゲート信号のパターン幅をそれぞれ0.5~1.0mmで同一かつ均一、最短で配線すること
- ☆ g g1.g2は一点アースにてGND1に配線すること

配置について

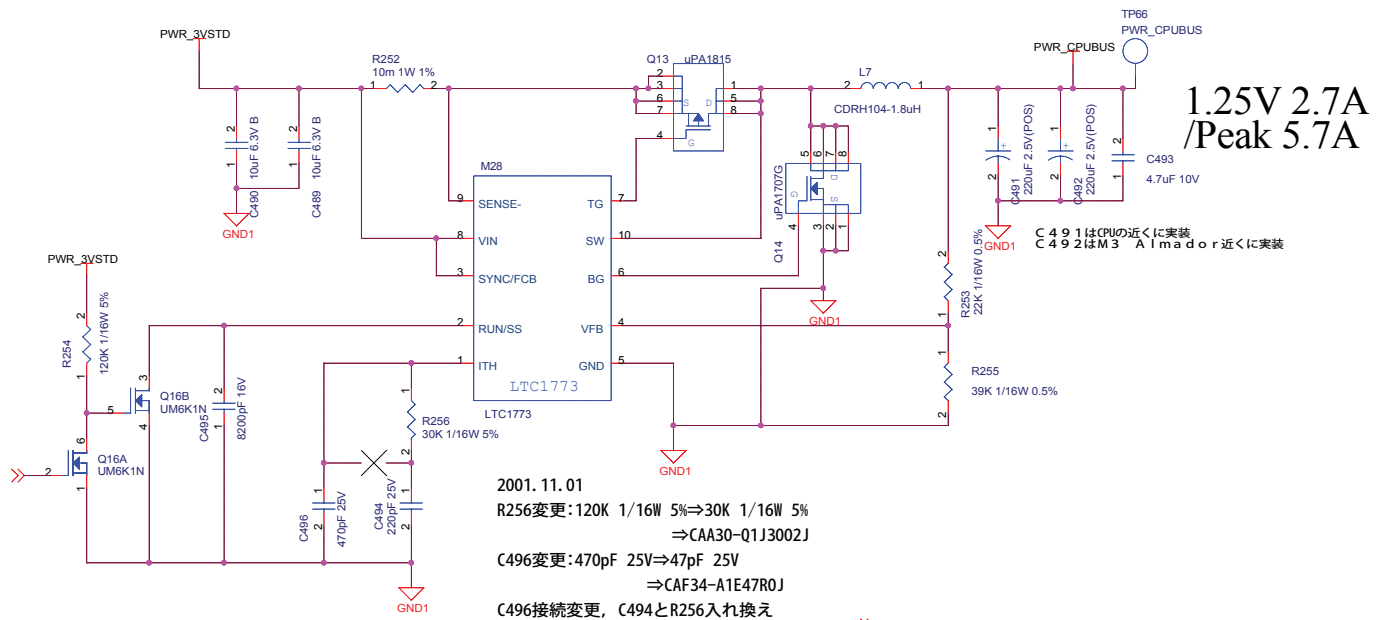
- ☆ A 互いに近傍に配置し、電源制御IC近傍に置くこと
VIAのことを考慮して部品間隔は広いめにとること
同一面上に配置すること
- ☆ B 互いに近傍に配置し、電源制御IC近傍に置くこと
VIAのことを考慮して部品間隔は広いめにとること
電源制御ICと同一面上に配置すること
- ☆ D 電源制御ICと同一面、接続端子近傍に置くこと
(A,Bより優先すること)

TABLE FOR RESISTOR VALUE

Ref	MOBILE	LV	ULV
R422	4m	6m	6m
R423	4m	6m	6m
R438	12.7K	21K	21K
R428	100K	187K	21K
R432	9.1K	16.2K	33.2K
R439	22.6K	56.2K	37.4K
R433	9.76K	10K	9.31K
R443	100K	215K	274K
R444	12.3K	14.7K	17.4K

Power/ DDC/ CPUCore

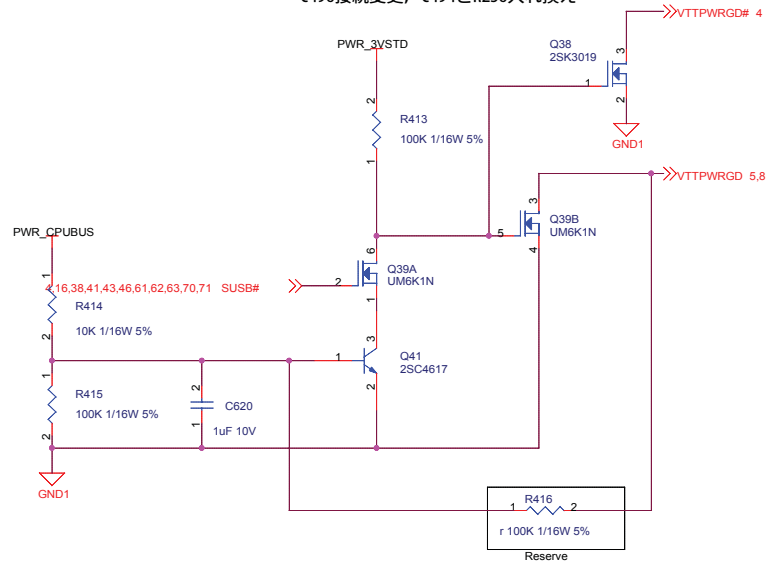
TITLE				Laurel	
DRAW. No.				C1CP064740-X1	
CAST					
Rev.	DATE	Design	Appr.	Description	
Design			Check		
			Appr.		
SHEET				60 / 76	
FUJITSU				LTD.	



1.25V 2.7A
/Peak 5.7A

C491はCPUの近くに実装
C492はM3-Altador近くに実装

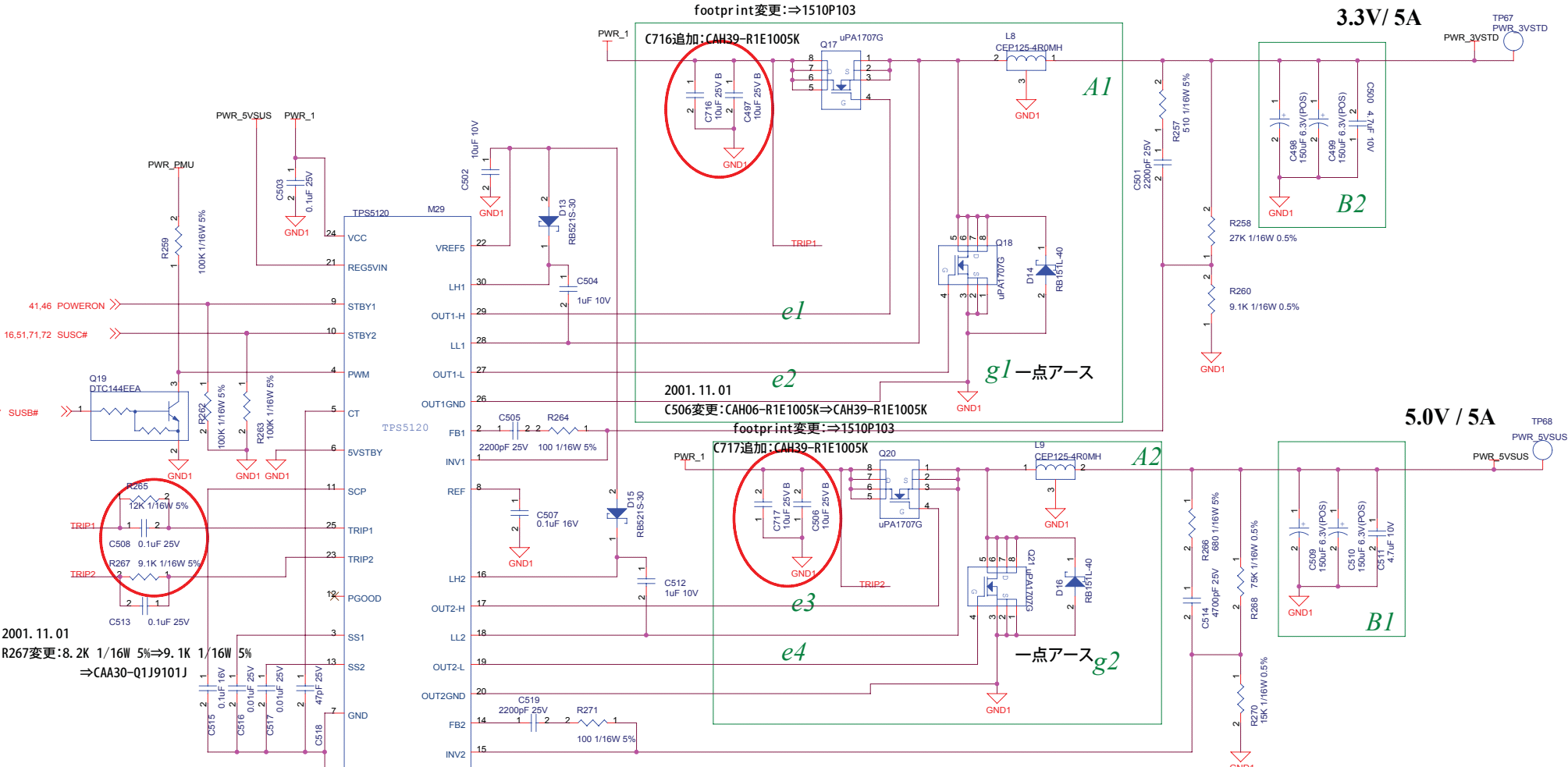
2001.11.01
R256変更:120K 1/16W 5%⇒30K 1/16W 5%
⇒CAA30-Q1J3002J
C496変更:470pF 25V⇒47pF 25V
⇒CAF34-A1E47R0J
C496接続変更, C494とR256入れ換え



Power/ DDC/ CPUBus

				TITLE Laurel	
				DRAW. No. C1CP064740-X1	
				CAST	
Rev.	DATE	Design	Appr.	Description	
Design				Check	Appr.
				FUJITSU LTD.	
				SHEET 61 / 76	

2001. 11. 01
 C497変更: CAH06-R1E1005K⇒CAH39-R1E1005K
 footprint変更:⇒1510P103



41.46 POWERON >>>
 16.51,71,72 SUSC# >>>
 1.77 SUBS# >>>

2001. 11. 01
 R267変更: 8.2K 1/16W 5%⇒9.1K 1/16W 5%
 ⇒CAA30-Q1J9101J

【配置について】

- ☆ A 互いに近傍に配置し、電源制御IC近傍に置くこと
 VIAのことを考慮して部品間隔は広いめにとること
 同一面上に配置すること
- ☆ B 互いに近傍に配置し、電源制御IC近傍に置くこと
 VIAのことを考慮して部品間隔は広いめにとること
 電源制御ICと同一面上に配置すること

他回路 A部、制御ICのパターン、部品下の全層に対し、
 他回路の部品は配置しないこと

【配線について】

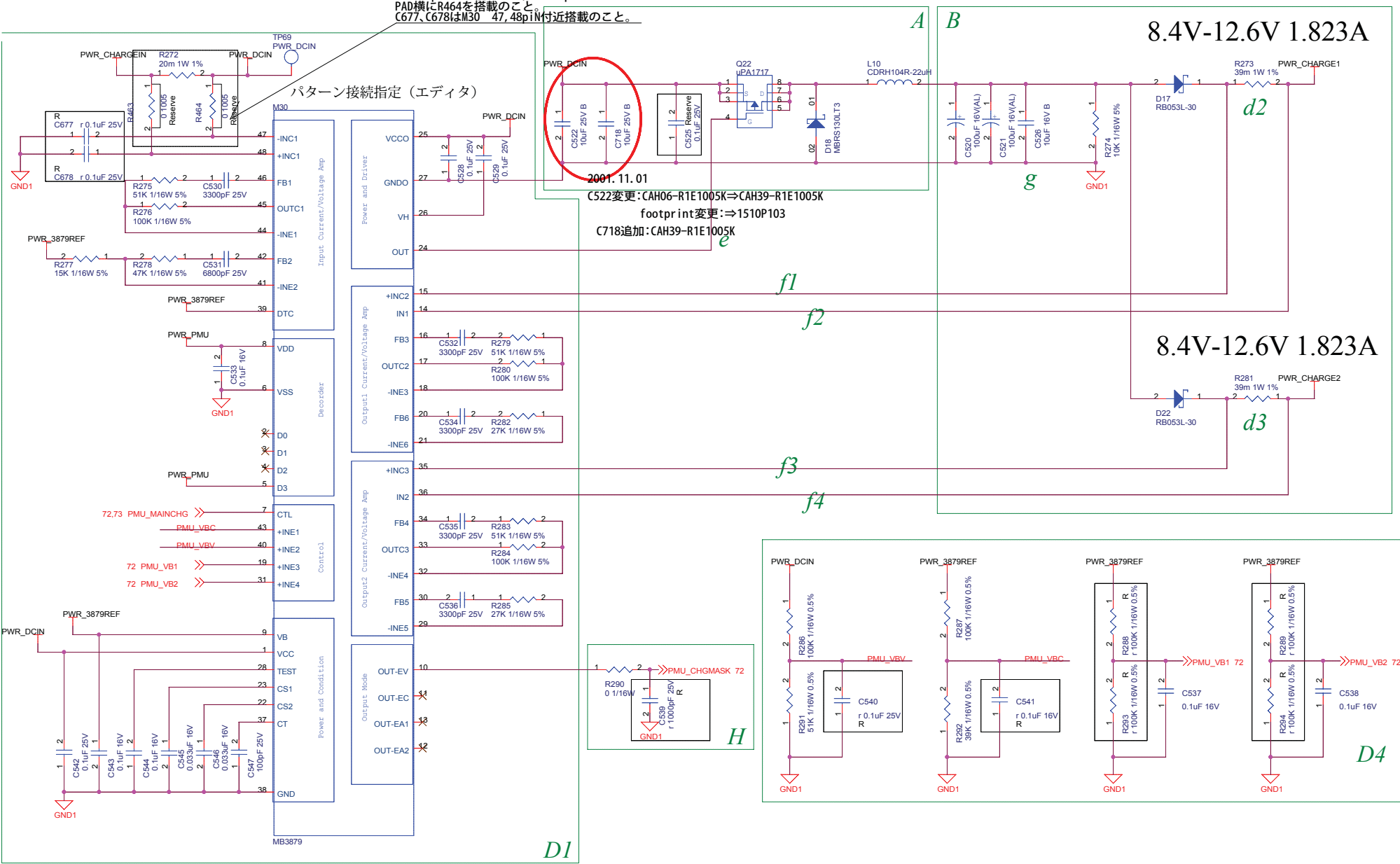
- ☆ A 電源ライン、平滑コンデンサ端子で6Aのパターン幅、
 ヒア数で配線すること
- ☆ B 電源ライン、平滑コンデンサ端子で6Aのパターン幅、
 ヒア数で配線すること
- ☆ e 電源制御ICに接続する各ゲート信号のパターン幅をそれぞれ
 0.5~1.0mmで同一かつ均一で、最短で配線すること
- ☆ g g1,g2,g3は一点アースにてM1-20PIN(GNDP)に配線すること
- ☆ 他回路 A部のパターン、部品下の全層に対し、他回路の周波数の
 早い信号、インピーダンスの高い信号、重要な信号の
 パターンを配線しないこと

				TITLE Laurel	
				DRAW. No. C1CP064740-X1	
				CAST	
Rev.	DATE	Design	Appr.	Description	
Design			Check	Appr.	
				FUJITSU LTD.	
				SHEET 62 / 76	

Power/ DDC/ 3V,5V

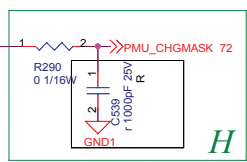
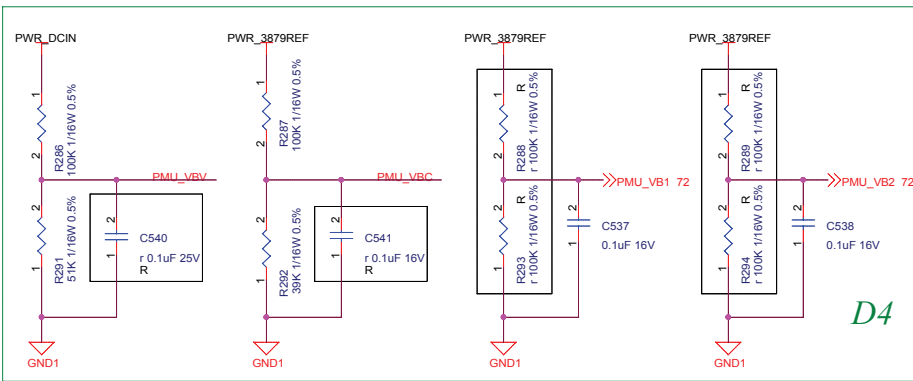
R272 1pin PAD横にR463, R272 2pin
 PAD横にR464を搭載のこと。
 C677, C678はM30 47, 48pin付近搭載のこと。

パターン接続指定 (エディタ)



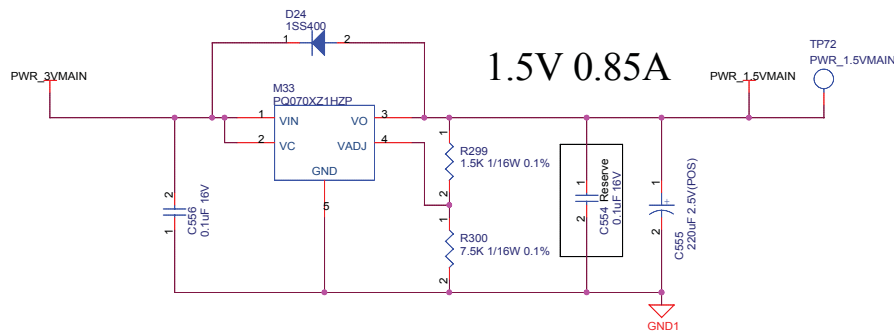
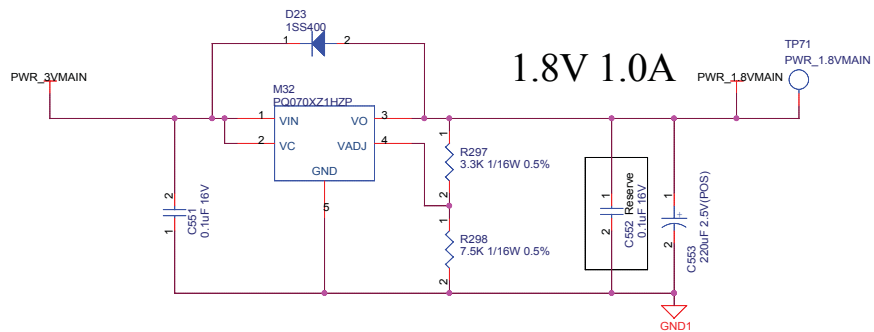
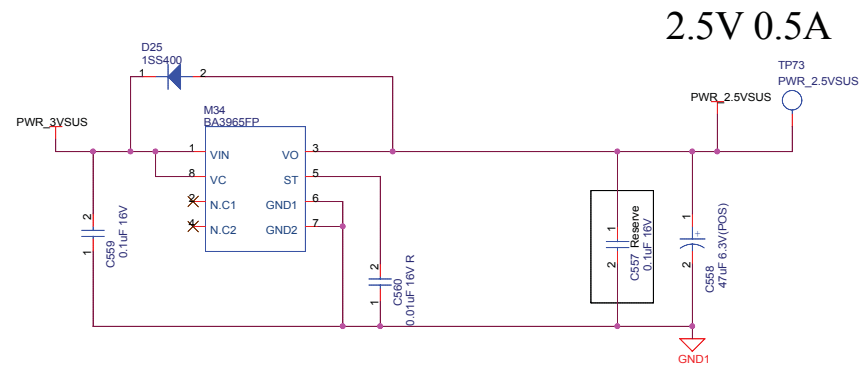
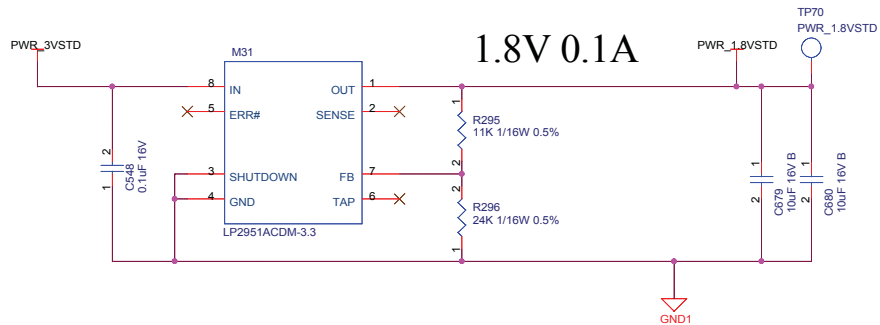
8.4V-12.6V 1.823A

8.4V-12.6V 1.823A



Power/ DDC/ Charger

				TITLE Laurel	
				DRAW. No. C1CP064740-X1	
				CAST	
Rev.	DATE	Design	Appr.	Description	
Design					
		Check		Appr.	
				FUJITSU LTD.	
				SHEET 63 / 76	



【配置について】

- ☆ ICHとGMCHの近傍に配置すること
- ☆ 各入力コンデンサと出力コンデンサはレギュレータの近傍に配置すること

【配線について】

- ☆ -端子はレギュレータのグラウンドと一点アースとすること

【配置について】

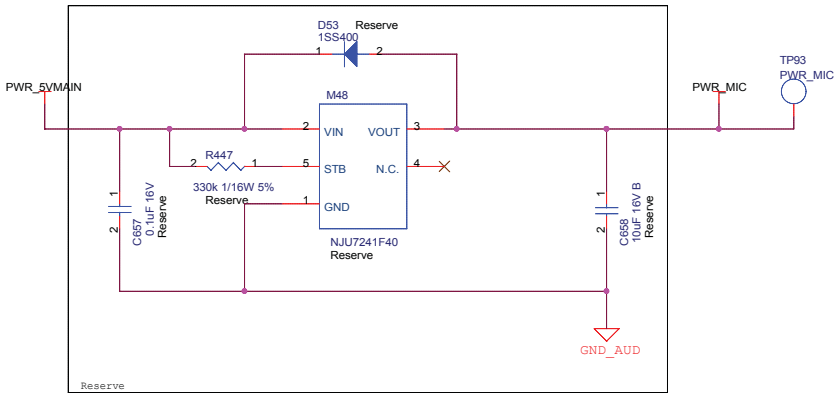
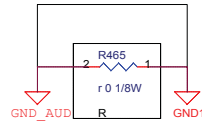
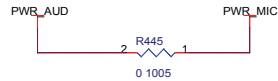
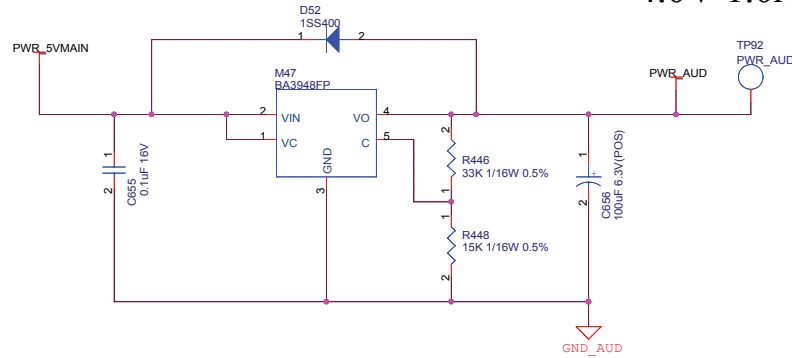
- ☆ ICHのすぐ近傍に配置すること
- ☆ 各入力コンデンサと出力コンデンサはレギュレータの近傍に配置すること

【配線について】

- ☆ -端子はレギュレータのグラウンドと一点アースとすること

				TITLE Laurel	
				DRAW. No. C1CP064740-X1	
				CAST	
Rev.	DATE	Design	Appr.	Description	
Design			Check	Appr.	
				FUJITSU LTD.	
				SHEET 64 / 76	

4.0V 1.0A



【配置について】

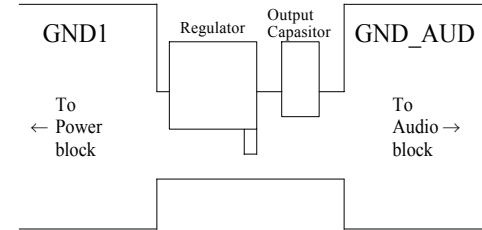
- ☆ Audio回路のすぐ近傍に配置すること
- ☆ 各入力コンデンサと出力コンデンサはレギュレータの近傍に配置すること

【配線について】

- ☆ コンデンサの-端子はレギュレータのグラウンドと一点アースとすること

【GND_AUDとGND1の接点について】

- ☆ GND1とGND_AUDはPWR_AUDを生成するRegulatorのGND端子で、カット可能なように、表面層にて一点接続とする。(下図参照)



(重要)

R465はM42(2)の近傍に配置すること。
PT板のエディタ処理時
R465のFOOT幅でGND_AUD
とGND1を接続すること。

【配置について】

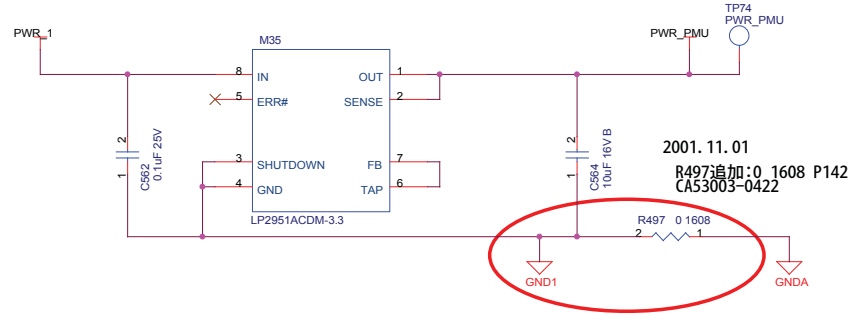
- ☆ Audio回路のすぐ近傍に配置すること
- ☆ 各入力コンデンサと出力コンデンサはレギュレータの近傍に配置すること

【配線について】

- ☆ コンデンサの-端子はレギュレータのグラウンドと一点アースとすること

				TITLE Laurel	
				DRAW. No. C1CP064740-X1	
				CAST	
Rev.	DATE	Design	Appr.	Description	
Design			Check	Appr.	
				FUJITSU LTD.	
				SHEET 65 / 76	

3.3V 10mA



2001.11.01
R497追加:0 1608 P142
CA53003-0422

【配置について】

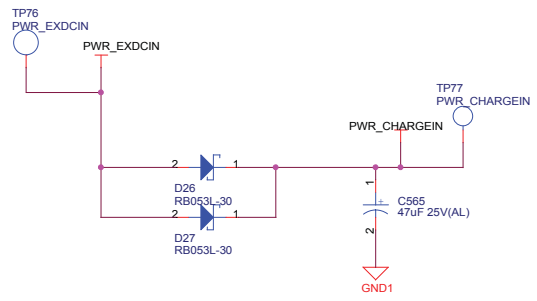
- ☆ PMU接続端子近傍に配置すること
- ☆ 各入力コンデンサと出力コンデンサはレギュレータの近傍に配置すること

【配線について】

- ☆ -端子はレギュレータのグラウンドと一点アースとすること

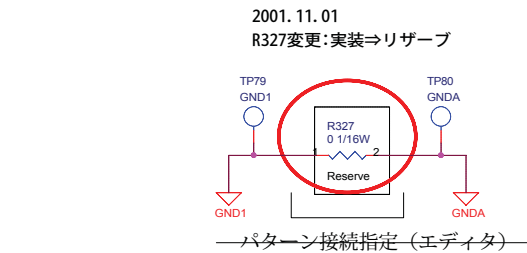
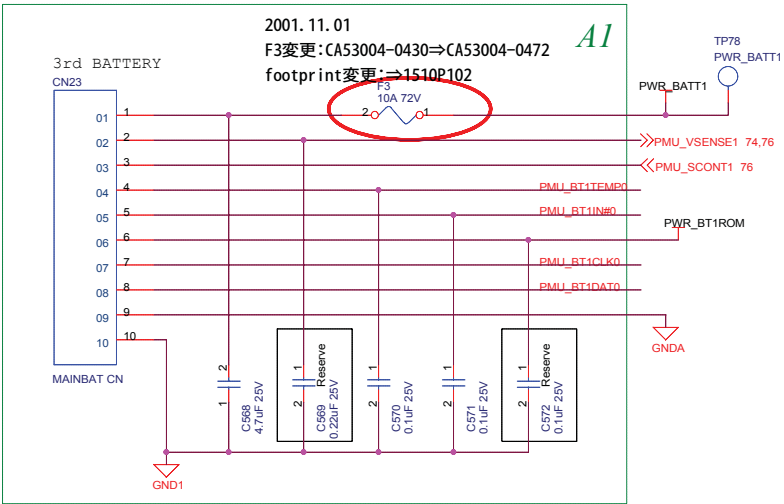
Power/ LDO/ PMU

				TITLE Laurel	
				DRAW. No. C1CP064740-X1	
				CAST	
Rev.	DATE	Design	Appr.	Description	
Design				Check	Appr.
				SHEET 66 / 76	
				FUJITSU LTD.	



Power/ Node/ DCIn

				TITLE Laurel	
				DRAW. No. C1CP064740-X1	
				CAST	
Rev.	DATE	Design	Appr.	Description	
Design				Check	Appr.
				FUJITSU LTD.	
				SHEET 67 / 76	



☆ **【にある部品の配置 パターンについて】**

コンデンサはコネクタの接続端子の近傍に配置し、内層でなく表面層にてコネクタの端子に直接パターンを引くこと
(GND4、もしくはすべてのGND1に対しても同様、かつバッテリーコネクタの10pinで一点アースすること)

【にある部品の配置について】

それぞれバッテリーコネクタの接続先端子の近傍に配置すること

【にある部品の配置について】

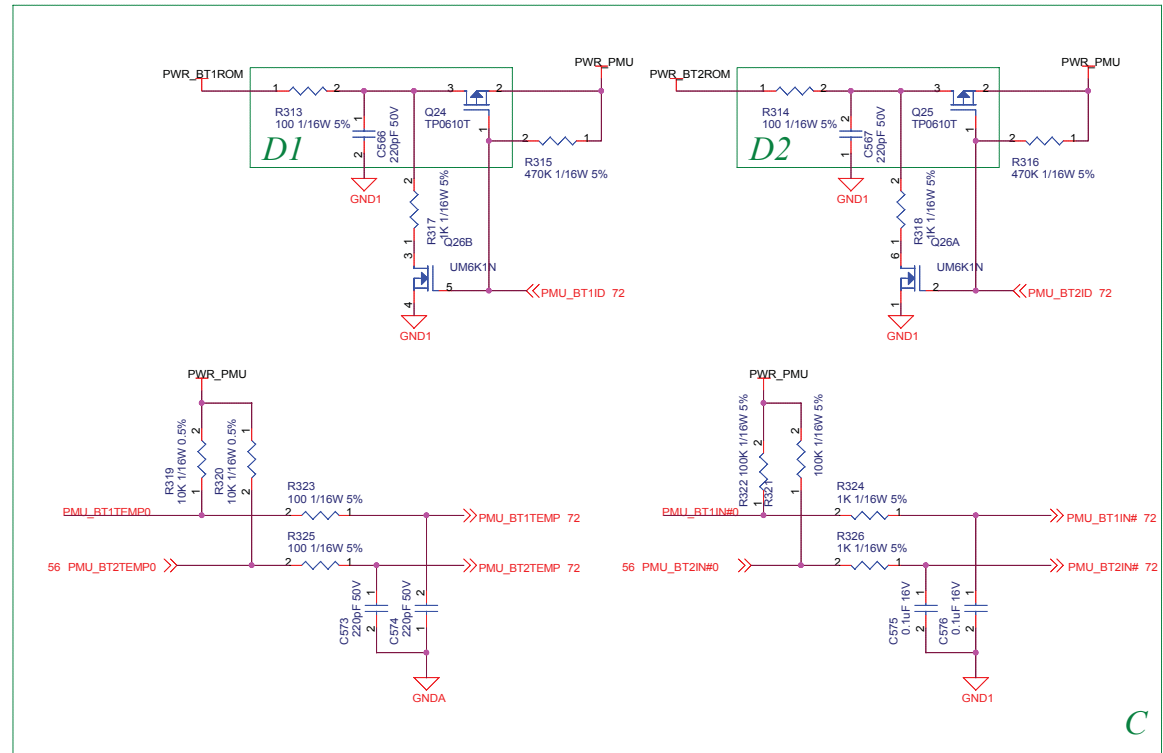
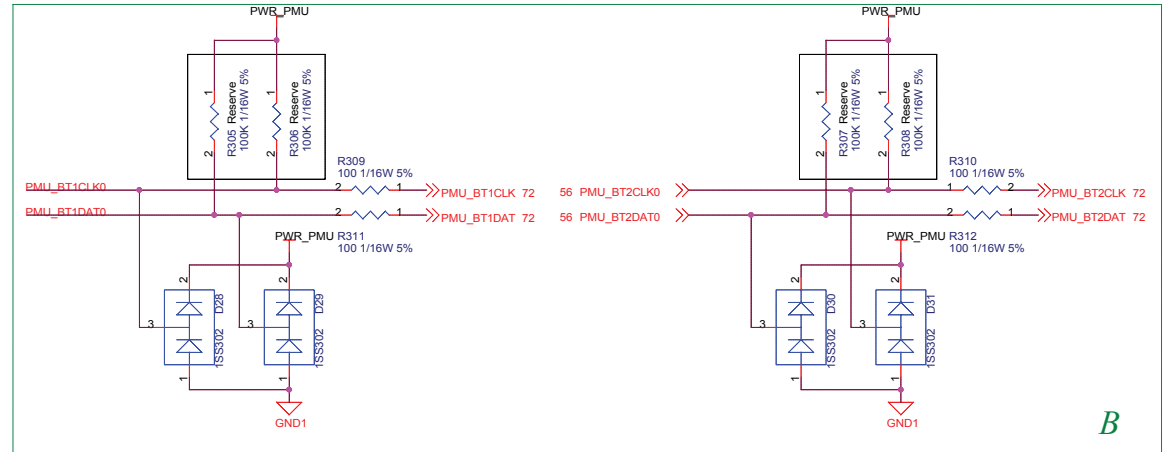
PMUの接続端子近傍に配置すること

【にある部品の配置について】

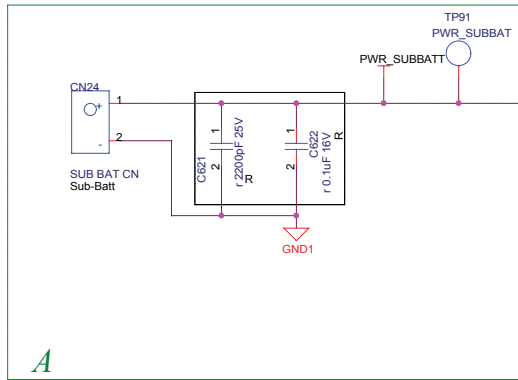
D1,D2それぞれ互いに近傍に配置すること

【GND1～GND4間の一点アースについて】

バッテリーコネクタとペイコネクタの中間に配置すること



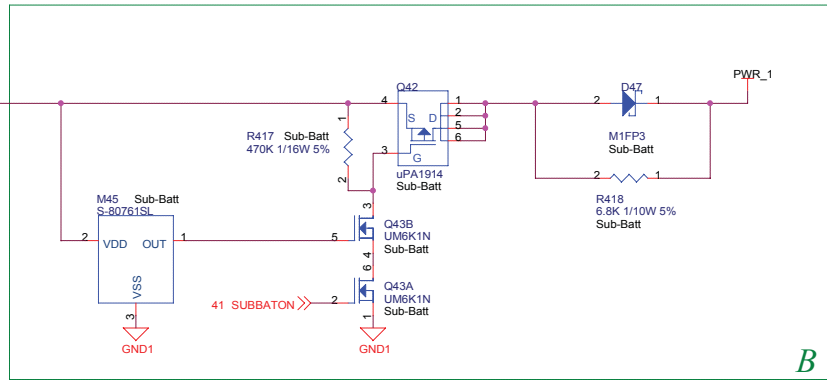
				TITLE Laurel	
				DRAW. No. C1CP064740-X1	
				CAST	
Rev.	DATE	Design	Appr.	Description	
Design			Check	Appr.	
				SHEET 68 / 76	
				FUJITSU LTD.	



A

【Aの配置について】

互いに近くに配置すること

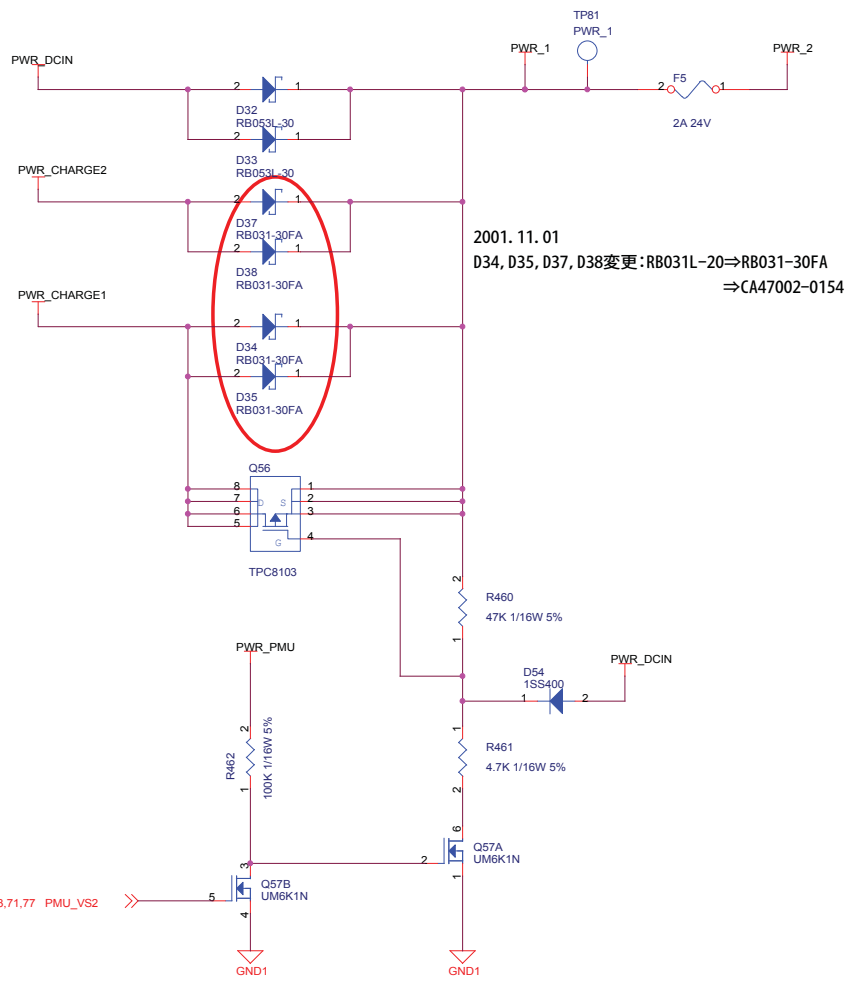


B

【Bの配置について】

互いに近くに配置すること

				TITLE Laurel	
				DRAW. No. C1CP064740-X1	
				CAST	
Rev.	DATE	Design	Appr.	Description	
Design				Check	Appr.
				SHEET 69 / 76	
				FUJITSU LTD.	

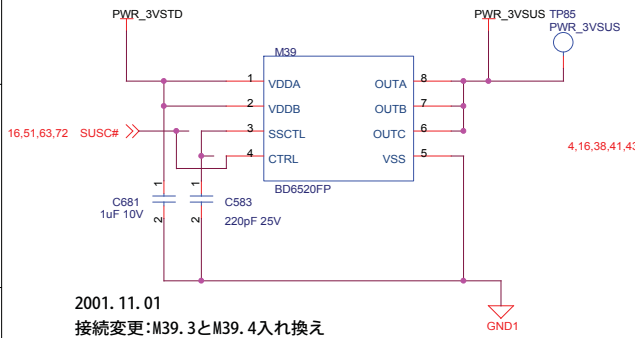


2001. 11. 01
 D34, D35, D37, D38变更:RB031L-20⇒RB031-30FA
 ⇒CA47002-0154

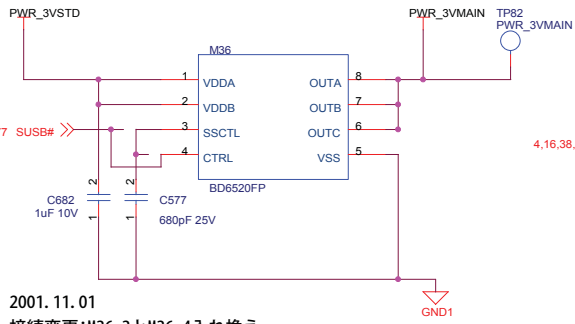
Power/ Node/ PWR_1

				TITLE Laurel	
				DRAW. No. C1CP064740-X1	
				CAST	
Rev.	DATE	Design	Appr.	Description	
Design				Check	Appr.
				SHEET 70 / 76	
				FUJITSU LTD.	

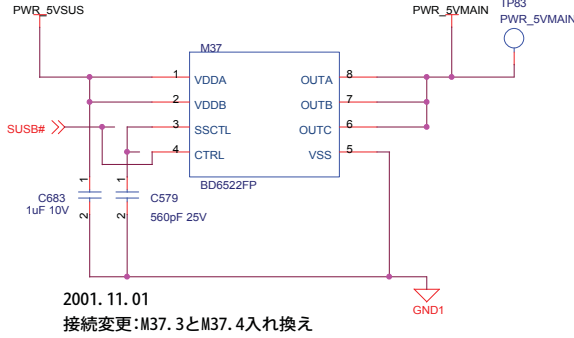
3.3V 2.0A



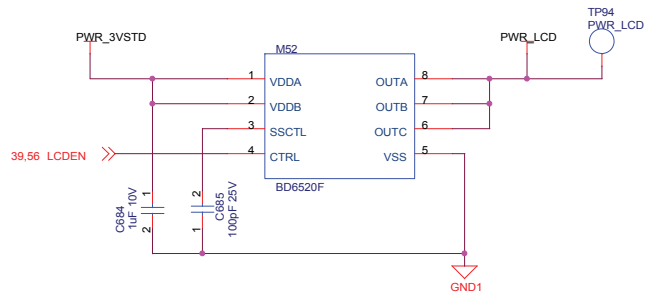
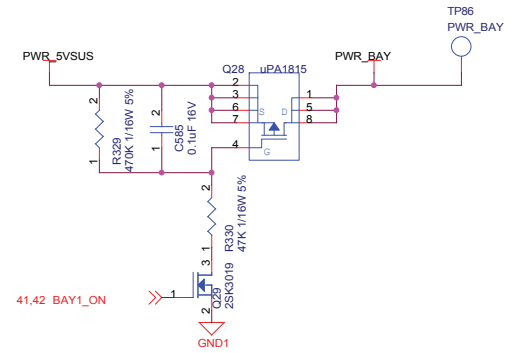
3.3V 2.0A



5.0V 2.0A

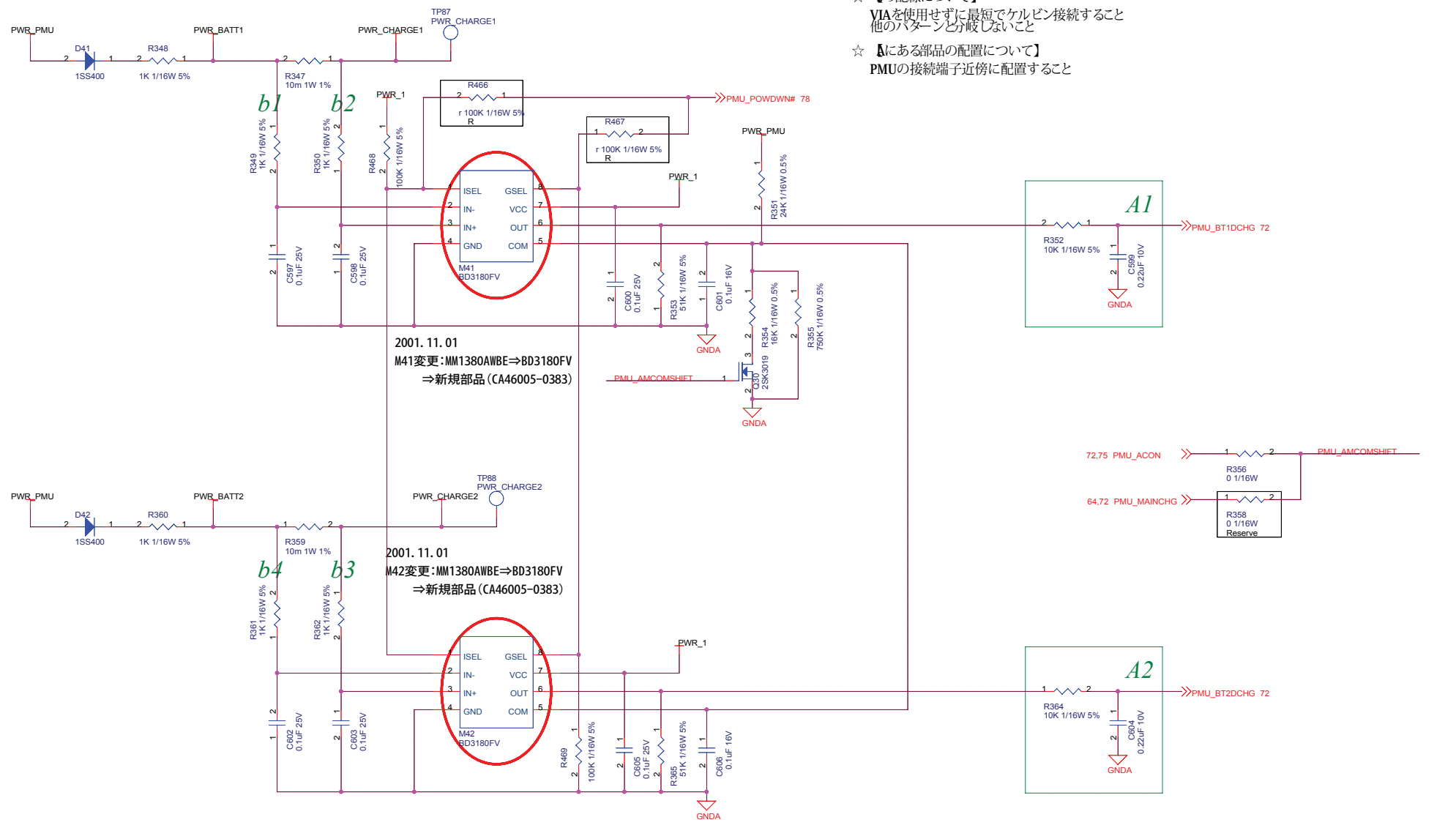


5.0V 2.0A



Power/ Node/ Switch

				TITLE Laurel	
				DRAW. No. C1CP064740-X1	
				CAST	
Rev.	DATE	Design	Appr.	Description	
Design			Check	Appr.	
				SHEET 71 / 76	
				FUJITSU LTD.	



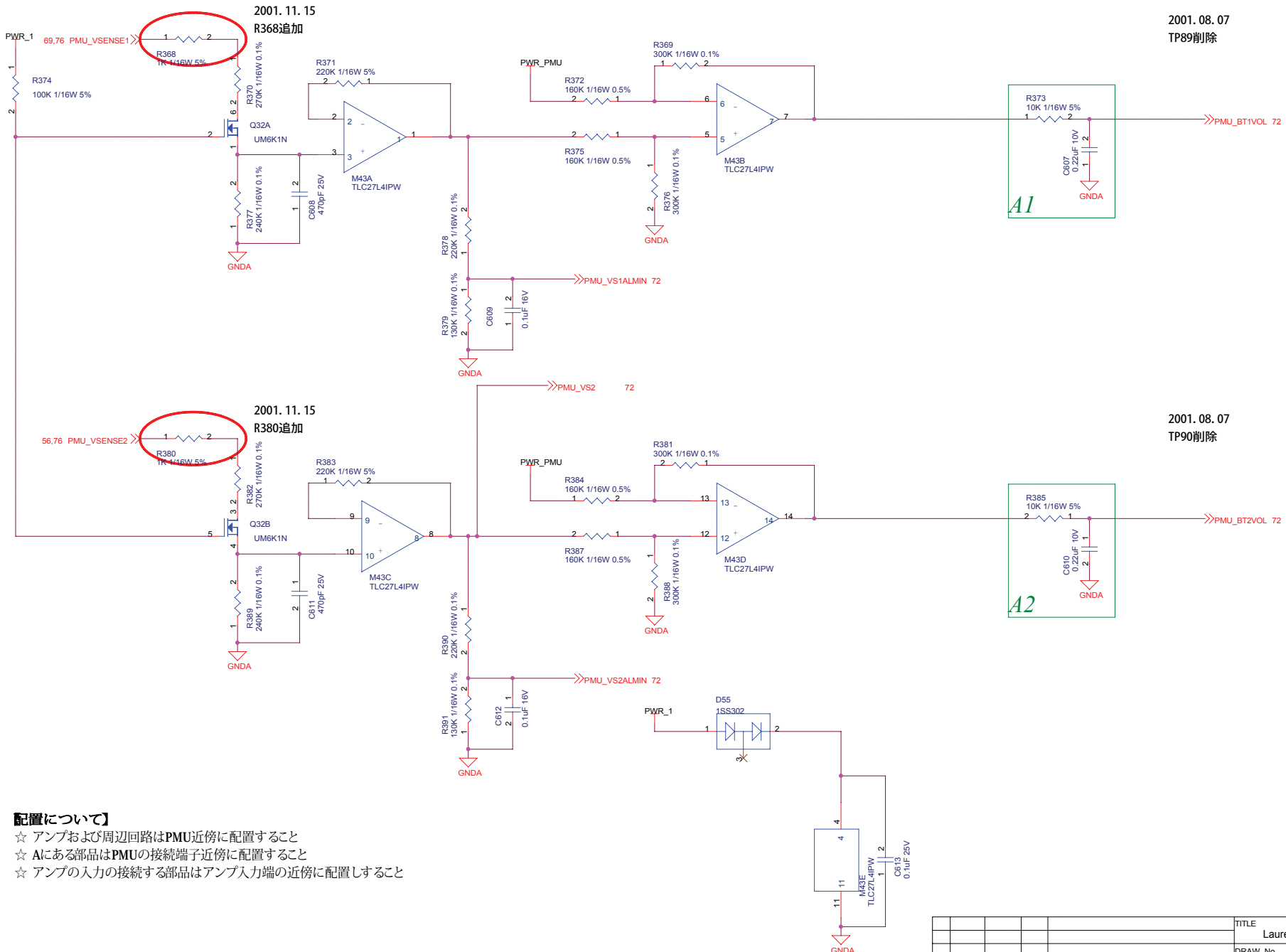
- ☆ 【の配線について】
VIAを使用せずに最短でケルビン接続すること
他のパターンと分岐しないこと
- ☆ 【にある部品の配置について】
PMUの接続端子近傍に配置すること

2001. 11. 01
M41変更:MM1380AWBE⇒BD3180FV
⇒新規部品 (CA46005-0383)

2001. 11. 01
M42変更:MM1380AWBE⇒BD3180FV
⇒新規部品 (CA46005-0383)

Power/ PMU/ AmMeter

				TITLE Laurel	
				DRAW. No. C1CP064740-X1	
				CAST	
Rev.	DATE	Design	Appr.	Description	
Design			Check	Appr.	
				FUJITSU LTD.	
				SHEET 73 / 76	

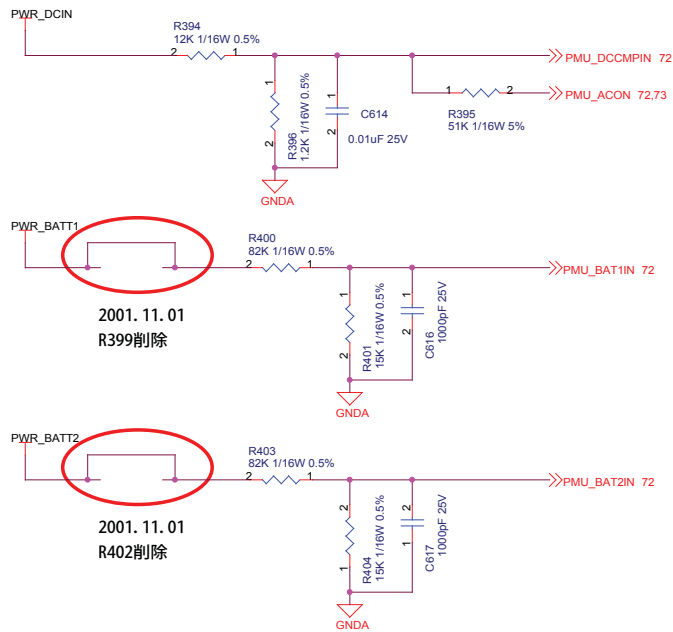


配置について

- ☆ アンプおよび周辺回路はPMU近傍に配置すること
- ☆ Aにある部品はPMUの接続端子近傍に配置すること
- ☆ アンプの入力の接続する部品はアンプ入力端の近傍に配置すること

Power/ PMU/ VolMeter

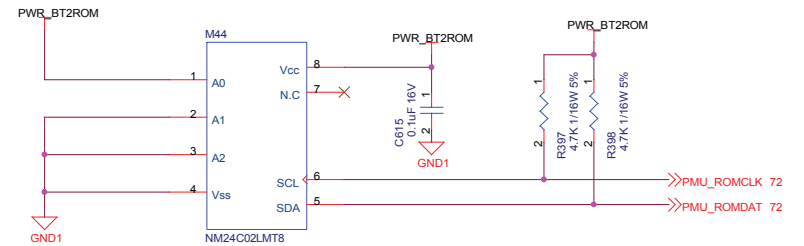
				TITLE Laurel	
				DRAW. No. C1CP064740-X1	
				CAST	
Rev.	DATE	Design	Appr.	Description	
Design			Check	Appr.	
				SHEET 74 / 76	
				FUJITSU LTD.	



2001. 11. 01
R399削除

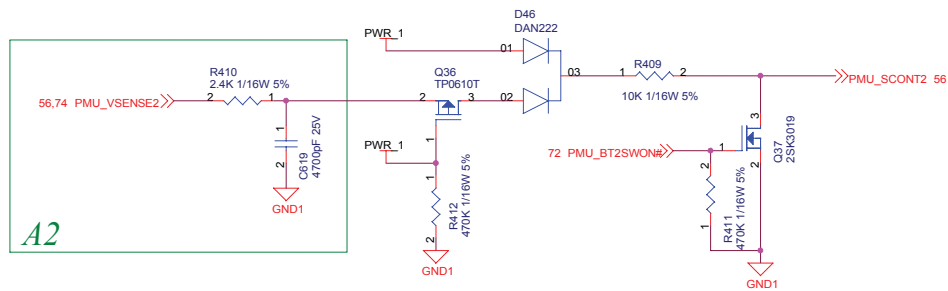
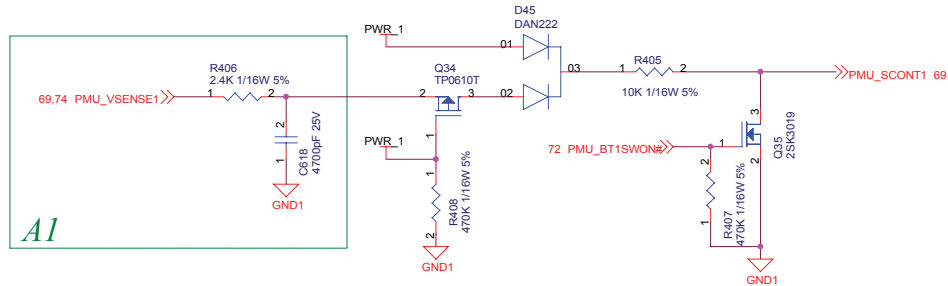
2001. 11. 01
R402削除

☆ 【配置について】
PMU接続端子近傍に配置すること



☆ 【配置について】
PMU近傍に配置すること

				TITLE Laurel	
				DRAW. No. C1CP064740-X1	
				CAST	
Rev.	DATE	Design	Appr.	Description	
Design				Check	Appr.
				SHEET 75 / 76	
				FUJITSU LTD.	



【の配置について】
互いに近傍に配置すること

				TITLE Laurel	
				DRAW. No. C1CP064740-X1	
				CAST	
Rev.	DATE	Design	Appr.	Description	
Design				Check	Appr.
				FUJITSU LTD.	
				SHEET 76 / 76	