

ANISE-E2 Main 04 (VB67Ax)

PAGE	CONTENTS
01	MENU
02	EMI RC
03	DOCKING/LAN CN
04	Connector Board I/F
05	FDD, PRINTER PULL UP
06	HDD, Pointing CN
07	Bay CN
08	BLANK
09	INTR KB CN
10	USB POW/AUSB CN
11	RESET/3VIR/IrDA
12	DIMM SLOT
13	AUDIO CN, Volume
14	LAN/MODEM CN, PDCA CN
15	PCMCIA SLOT
16	DEBUG CN
17	BLANK
18	Coppermine-1
19	Coppermine-2
20	PASSCON for Coppermine
21	BLANK
22	SideBand Signals Pullup
23	BANISTER -1
24	BANISTER -2
25	BANISTER -3
26	BANISTER Strap Options
27	SPEED STEP (Geyserville SCL)
28	VID CONTROL
29	BLANK
30	BLANK
31	SDRAM DUMPING
32	CLOCK BUFFER
33	BLANK
34	PULL UP for PCI/ISA
35	BAY Q-SW, IDE PULL-UP
36	BLANK
37	BAY ID
38	VGA(Trident 9525DVD) Config
39	VGA(Trident 9525DVD) -1
40	VGA(Trident 9525DVD) -2

PAGE	CONTENTS
41	DACVCC LCDVCC
42	LCD FILTER
43	ZV-BUF
44	CARDBUS CTRL -1
45	CARDBUS CTRL -2
46	CARDBUS POWER
47	CLOCK GENERATOR
48	BLANK
49	IDSEL-QSW / SMBUS SELCTOR
50	BLANK
51	SUPER I/O
52	AC97CODEC(YMF743 / STAC9721T)
53	AUDIO AMP
54	AVCC/ AUDIO MISC
55	BLANK
56	RING -1
57	RING -2
58	KBC
59	BIOS ROM, MISK
60	RS232C DRV
61	3VSTD, RSMRST#, RTCVCC, LLB#
62	BLANK
63	BLANK
64	BLANK
65	TEMP SENSOR, FAN CONTROL
66	POW INDEX
67	DC-IN
68	BATTx CN
69	POW1, BTxDCHG
70	BTxVOL
71	ACON, BTxALM
72	5VSTB, PMUVCC, VREF
73	SCONTx
74	PMU
75	BUS SW
76	5VSUS, 3VSUS
77	CPUVCC
78	CHARGER
79	PLL VCC
80	5VMAIN, 3VMAIN, BAYVCC
81	BUSVCC

w/TQFP Card Controller

PCI REQ#	GNT#
REQ0	PCIC
REQ1	LAN/MODEM 2nd
REQ2	LAN/MODEM 1st
REQ3	VGA

PCI (ID) SEL ALLOCATION

AD11	BANISTER
AD12	
AD13	
AD14	
AD15	
AD18	BANISTER
AD24	
AD26	
AD27	LAN/MODEM
AD28	LAN/MODEM
AD29	
AD30	PCIC
AD31	VGA

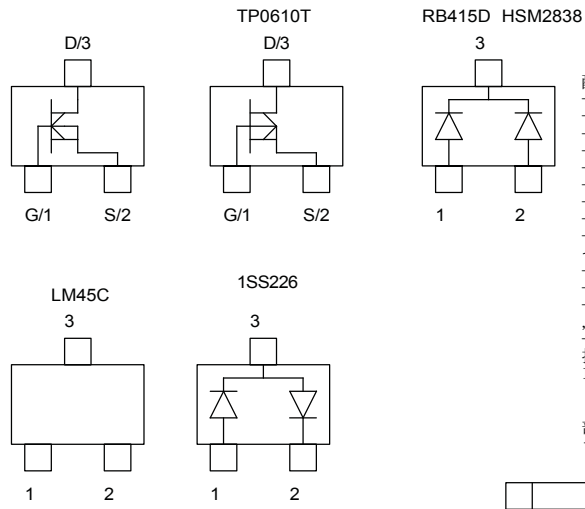
PCIINT#

PCIINT0	PCIC-A
PCIINT1	PCIC-B
PCIINT2	LAN/MODEM
PCIINT3	VGA

Revision history

Rev	Date
01-00	'99/12/24 Initial
01-01	'99/12/24

特記事項
 1) 電源用が「オート」RB151L-40Fは通常許可されている、原点方向にIpin(カソード)方向以外に任意の1角度方向追加を追加許可する。追加1角度あ、RB151L-40Fで共通である必要がある。(RB151-40Fは3角度選択可能)
 2) L11(1), L12(1), L13(1), L14(1)に接続されているノードの配線直下層～電源層までの間には電源部以外のパターンは配線禁止とする。但し、直下層にGND1層を入れた場合は、この限りではない。
 3) L11(1), L12(1), L13(1), L14(1)の接続されるSOPのトランジスタおよびRB151L-40Fが「オート」は可能な限り同一面にて表層を使用し配線を実施すること。このような配線により、制約のあるノードを集約できる。



配線幅条件 (Page1-Page66分抜粋)
 -USBVCC0, USBVCC1 1.5mm
 -EXDCIN, DCIN1A (PC1, PC2) 端子配線 3mm
 -LCDVCC 1.5mm
 -BAYVCC 2mm
 -PCMVCC0, PCMVCC1 1.5mm
 -PCMVPP0, PCMVPP1 1mm
 -M3 (10) 端子配線, M4 (1) 端子配線 1mm
 -VREF_GTL 1mm
 -CPUBUSVCC M6～M8間 1mm
 それ以外は、内層分割指定
 -DACVCC 1mm
 -AVCC, M31 (1) 端子配線, Q9 (4) 端子配線 1.5mm
 -3VSTD, M87 (5) 端子配線, Q15 (4) 端子配線 1.5mm
 -FANVCC, Q23 (4) 端子配線 0.5mm
 指定以外の配線は、最低でも1A 1mm幅とする。ミハイツは1個0.3Aが限界とする B

部品実装に関する緩和条件
 一部品搭載が困難な場合、以下ファンクションは一括削除を許可する。
 削除部品：M29, C450, R322, R323, M18, D57, R762 (ZV Audio機 ¥)

名	ANISE-E2 04
図	C1CP051300-X4
番	
版	00.05.04
設計	小中
調査	調査
承認	渡部
変更内	承認 福田
富士通株式会社	1 / 81

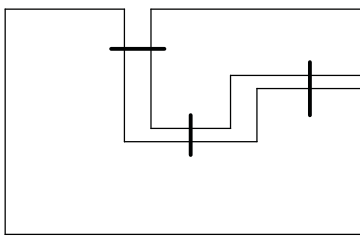
品名 部品名	19977AA CPU	19977AB CPU	19977AC CPU	19977AD CPU	19977AE CPU
BIOS	CP051003-0411	CP051003-0411	CP051003-0411	CP051003-0411	CP051003-0411
メモリ	MEM001-1024	MEM001-1024	MEM001-1024	MEM001-1024	MEM001-1024
電源	PSU001-1000	PSU001-1000	PSU001-1000	PSU001-1000	PSU001-1000
冷却	FAN001-1000	FAN001-1000	FAN001-1000	FAN001-1000	FAN001-1000
キーボード	KB001-1000	KB001-1000	KB001-1000	KB001-1000	KB001-1000
マウス	MS001-1000	MS001-1000	MS001-1000	MS001-1000	MS001-1000
ディスプレイ	DIS001-1000	DIS001-1000	DIS001-1000	DIS001-1000	DIS001-1000
ネットワーク	NET001-1000	NET001-1000	NET001-1000	NET001-1000	NET001-1000
サウンド	SND001-1000	SND001-1000	SND001-1000	SND001-1000	SND001-1000
その他	OTH001-1000	OTH001-1000	OTH001-1000	OTH001-1000	OTH001-1000

BLANK

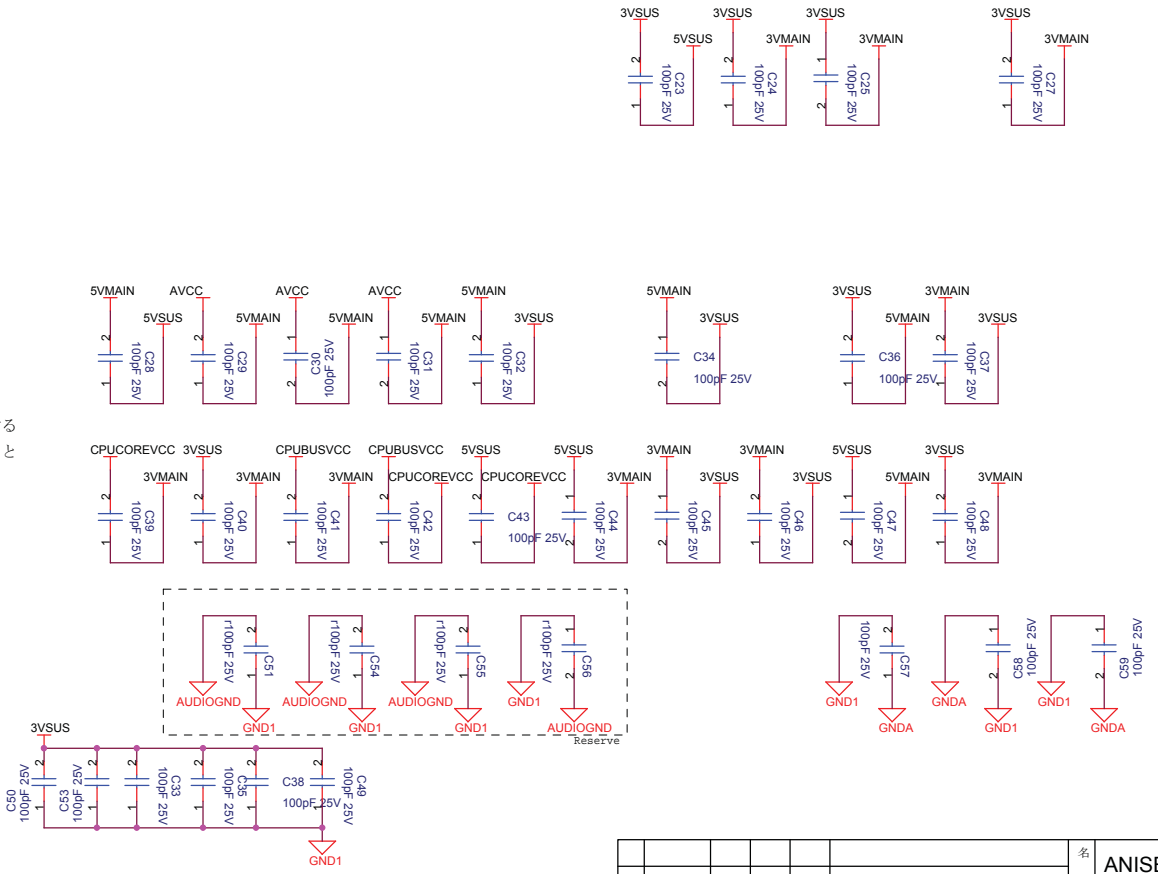
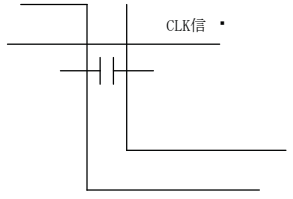
版	年月	設計	調査	承認	変更	承認	内	承認
設計								
富士通株式会社								2 / 81

名称 ANISE-E2 04
 図号 C1CP051300-X4
 提出先

本部品は電波対策用の部品であり、基板の周囲で電源とグラウンドに挿入するフィルタである。
特に電源の種類は未接続状態にしているの、適宜、配置する 歯車より電源を設定すること

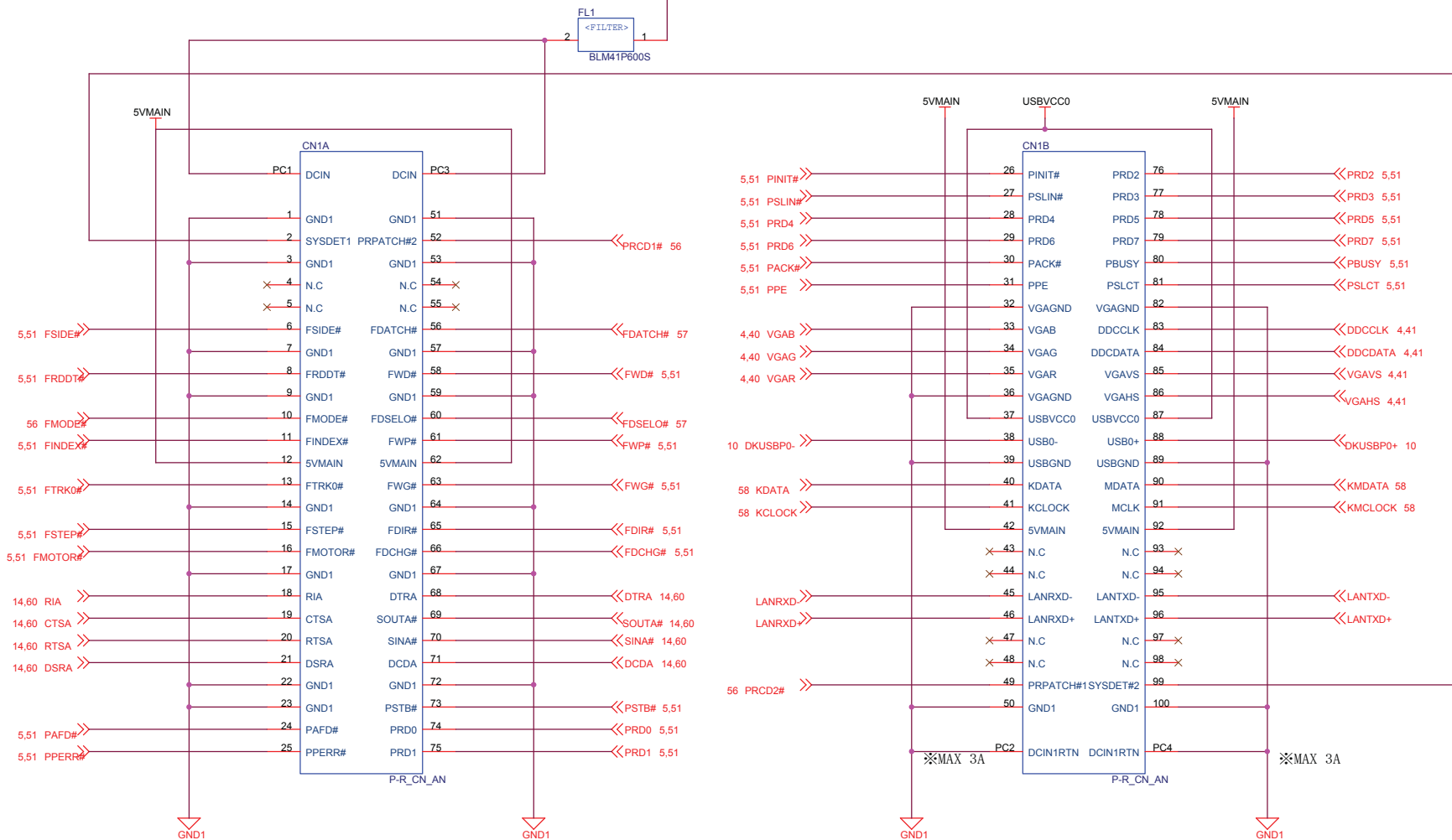


本コンデンサは電源/グラウンド層にして発生する島ブレン同士 風し続するためにものである。
そのため、上記のような島構成であれば、ポイントとなる個所にコンデンサを配置するようにする
また、クロックを、島をまたいで引く場合には、クロック信号の近くにコンデンサを配置すること
また、レイアウトに関連するので、未接 状態にしている。



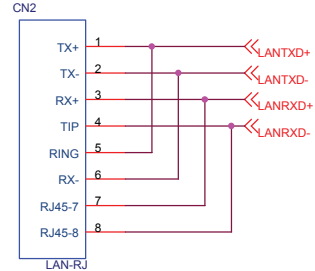
EMI RC

				名称		ANISE-E2-04	
				図番		C1CP051300-X4	
				提出先			
版	年月	設計	調査	承認	変更内		
設計			調査		承認		
						富士通株式会社	
						3 / 81	

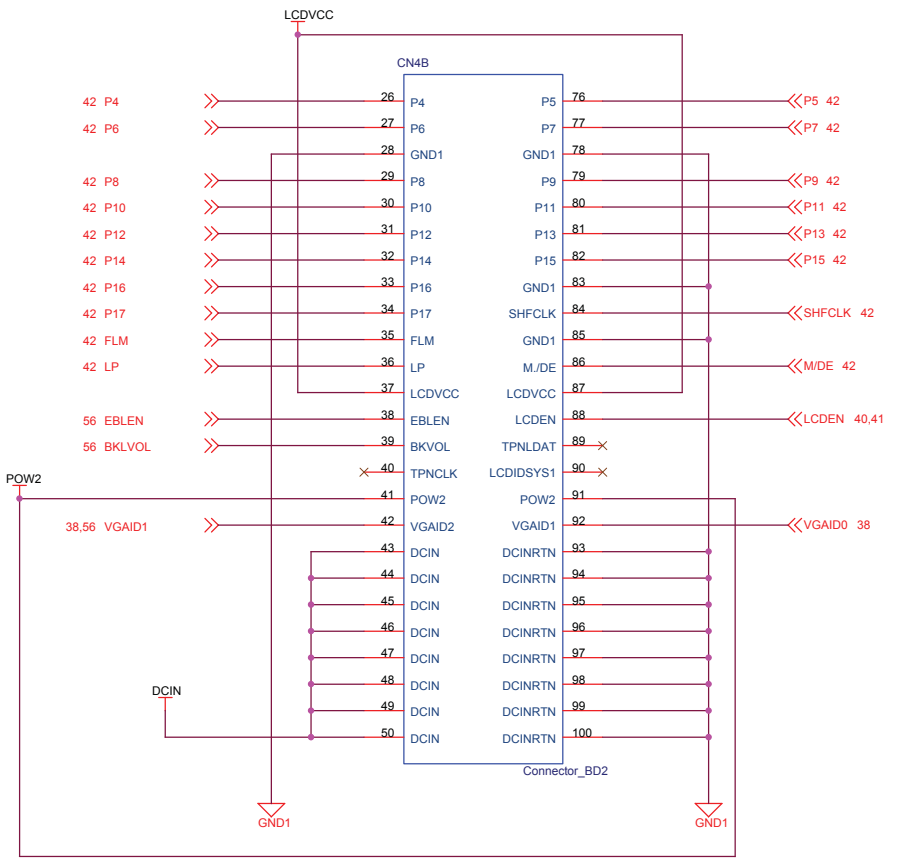
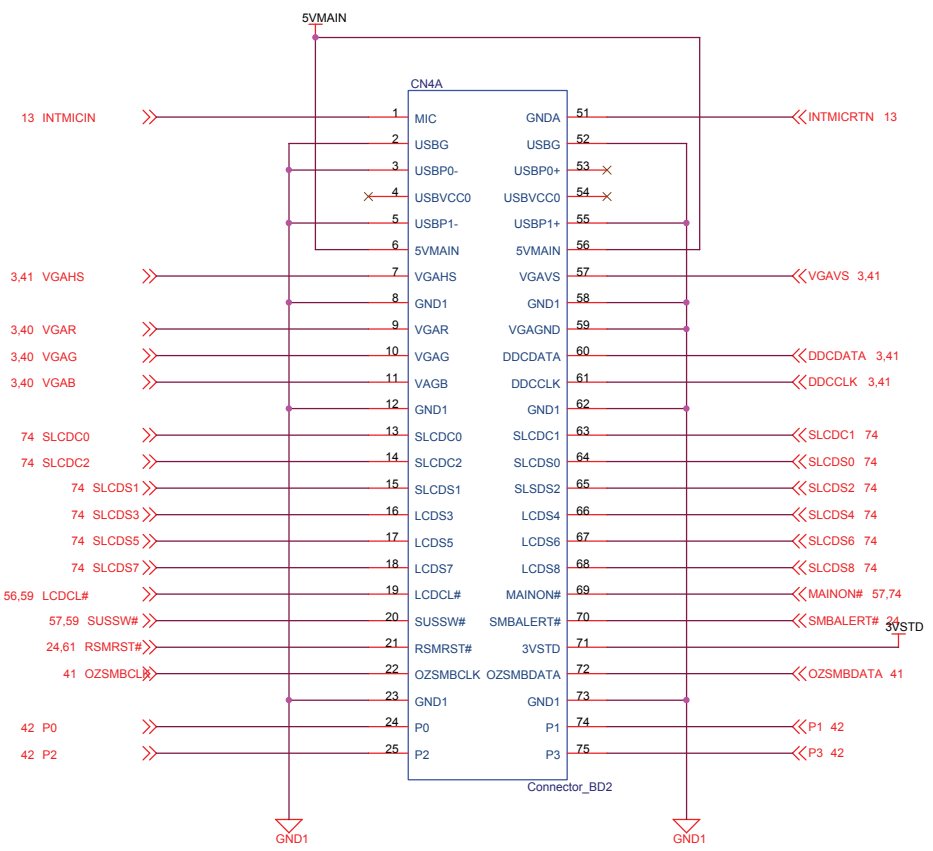


注) LAN信号線 (LANTXD+, LANTXD-, LANRXD+, LANRXD-) は A LANTXD+ - LANTXD-, LANRXD+ - LANRXD- をそれぞれ対で配線し、対の距離は、最低配線距離、TXD, RXD間はその5倍の距離を離すこと。
 また、この4本を通して上下2層は配線領域から横方向に3mmを内層クリアとする。
 上下3層目は、GND1にて、配線の上をGND1でガードすること。但し、ガードも含め、本信号線のスホールおよび、配線から3mm以内は、絶縁距離として確保し、いかなる信号線も3mm以下の距離にはならない。
 但し、例外条件として、上下3層目は本信号と完全に直行する場合のみ他の信号線の布線を許可する。(必要最低限に抑えること)

注) FIL1 - P-R_CONN間は、コネクタ引出し部 スホール各3ヶ所計6個で引き出し、3mm以上のパターン幅、最短距離でFIL1に接続すること。
 EXDCINは3mm以上のパターン幅で布線することが要求される B



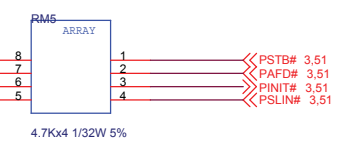
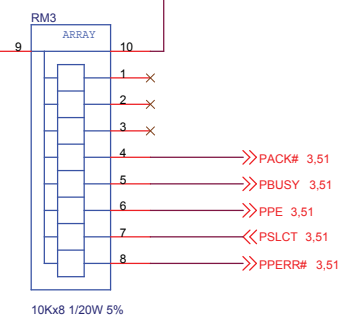
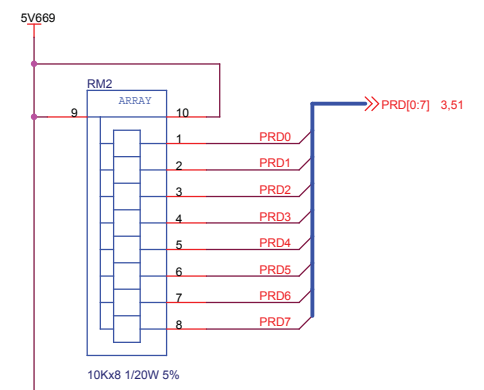
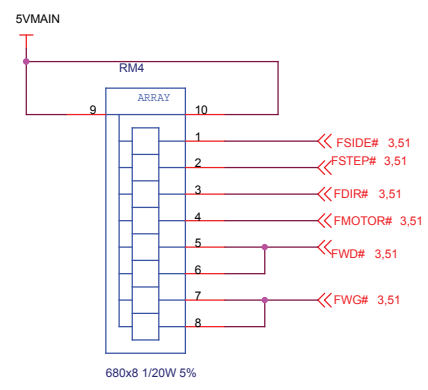
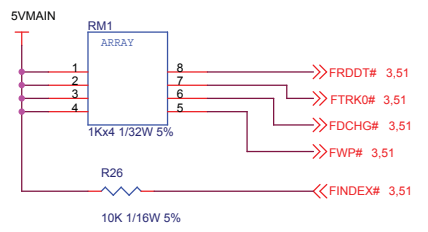
							名称	ANISE-E2 04	
							図番	C1CP051300-X#	
							提出先		
版	年月	設計	調査	承認	変更内		富士通株式会社		
設計			調査		変更	承認	4 / 81		



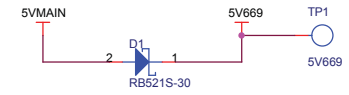
Connector Board I/F

						名称	ANISE-E2 04	
						図番	C1CP051300-X4	
版	年月	設計	調査	承認	変更内容	富士通株式会社		
設計			調査		変更	承認	5	81

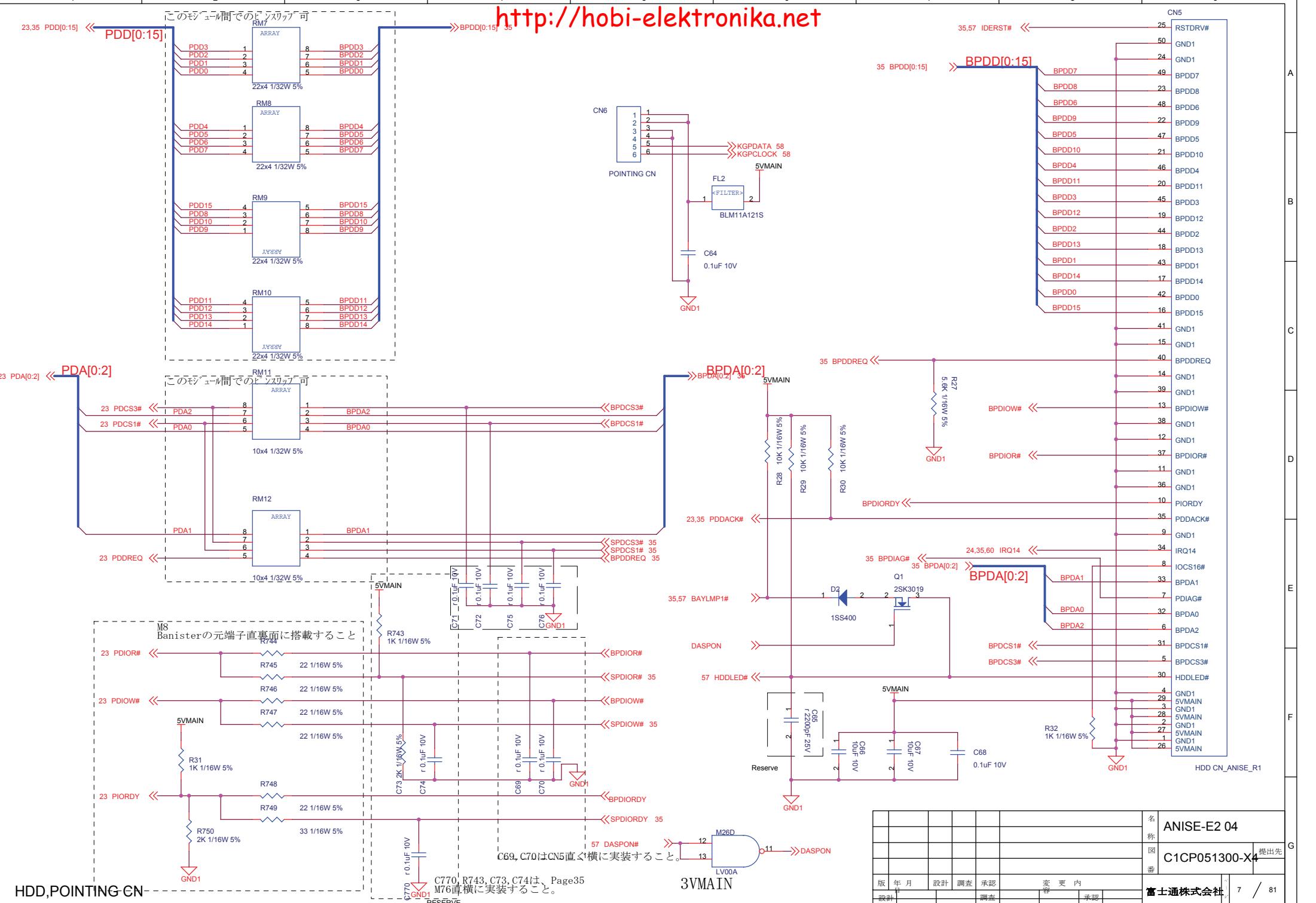
FLOPPY関連信号のPULL UP
 上記の集合抵抗および抵抗はSUPER I/O (FDC37N769) の内部に配置すること。
 Above register array and register must be placed near super I/O chip (FDC37N769) and routed with short trace from it.



PARARELL関連信号のPULL UP



						名称	ANISE-E2 04	
						図番	C1CP051300-X4	
						提出先		
版	年月	設計	調査	承認	変更	内		
設計			調査		承認		富士通株式会社	
							6	81

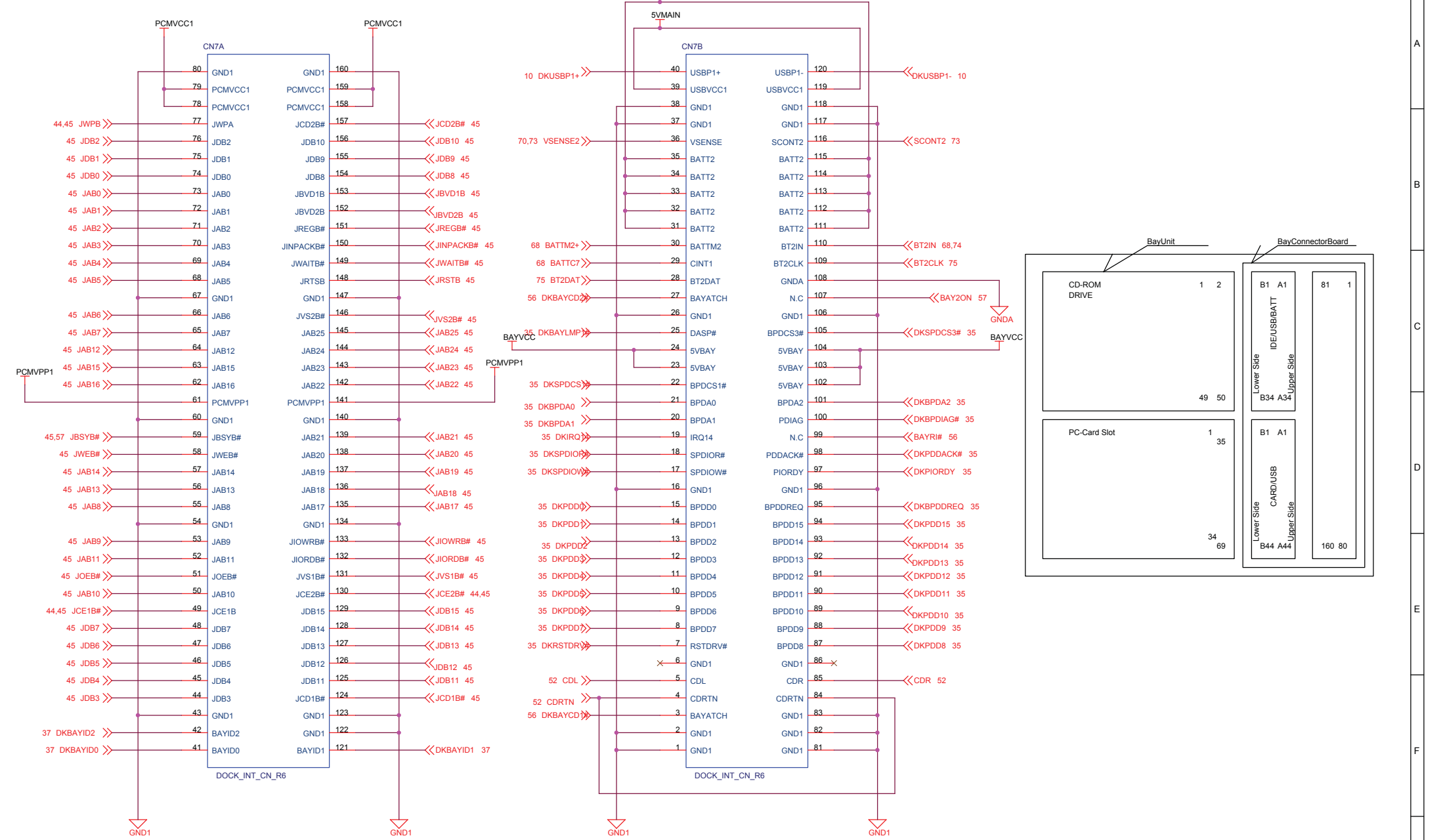


HDD, POINTING-CN

C69, C70はCN5直ぐ横に実装すること。
C70, R743, C73, C74は、Page35 M76直横に実装すること。

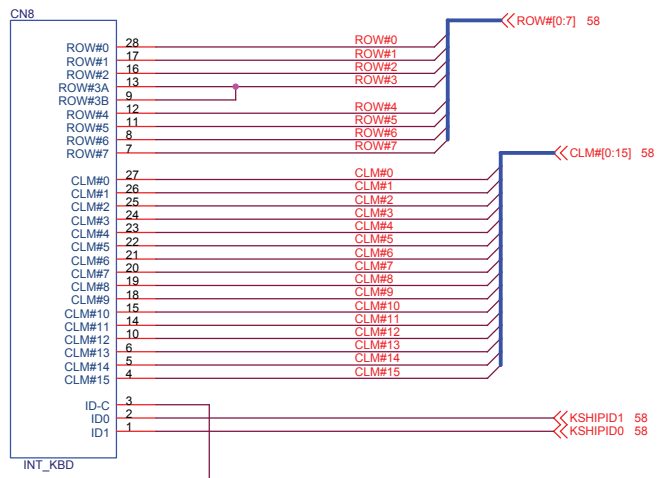
3VMAIN

名							ANISE-E2 04	
図							C1CP051300-X4	
番							提出先	
版	年月	設計	調査	承認	変更	内	承認	
設計							富士通株式会社	
							7	81



BAY CN

							名	ANISE-E2 04	
							称	C1CP051300-X4	
							图	提出先	
							番	番	
版	年月	設計	調査	承認	変更内		富士通株式会社		
設計			調査		変更	承認	8 / 81		

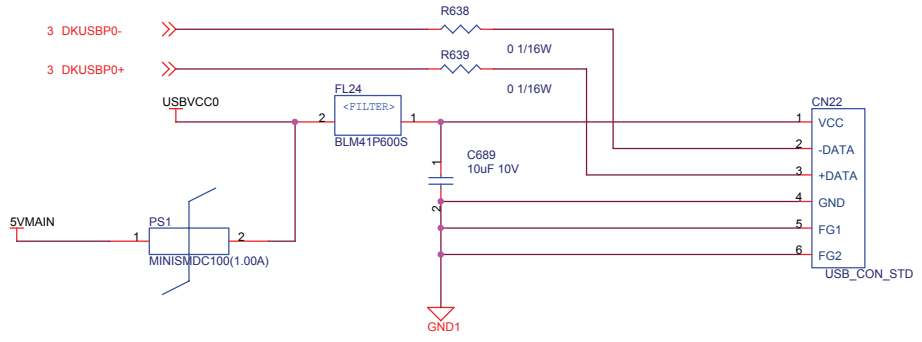
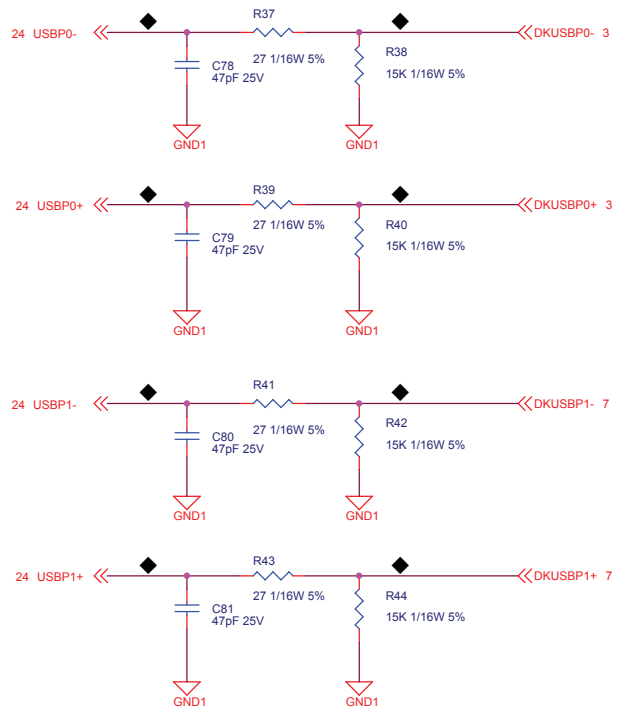


Keyboard Strap (N86C-7664-0203-E)
 ID1: ID0 (KBC Side)
 JP 0 0
 US 0 1
 UK 1 0
 JP 1 1 ('00 Summer model)

	SHIPID	
	ID0	ID1
US	1	0
JP	0	0
UK	0	1

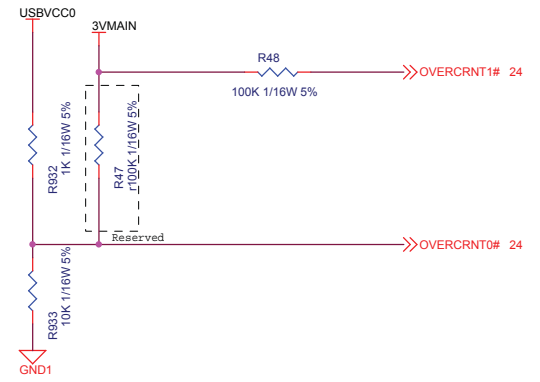
INTR KB CN

						名	ANISE-E2 04	
						称		
						图	C1CP051300-X#	
						番	提出先	
版	年	月	設計	調査	承認	変更内		
設計				調査		変更	承認	
富士通株式会社							9	81

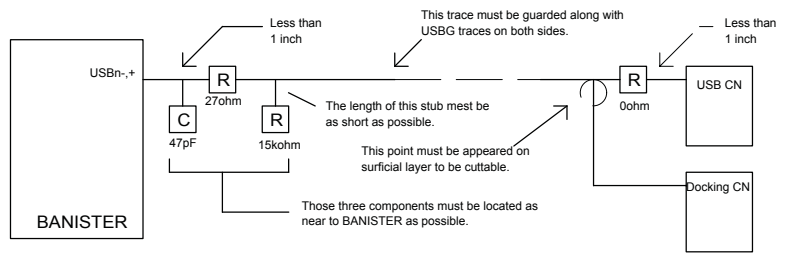


本項中◆印のついたパターンは、通常の信号線の0.2mmの太さで配線すること。
また、本信号はGND1でガードし、その上下はGND1のベタパターンで覆うこと。

[NOTE] : CTL is control(input) function : Noninverting TTL control input.
High(>1.8V typical)=On, Low(<1.6V typical)=Off.



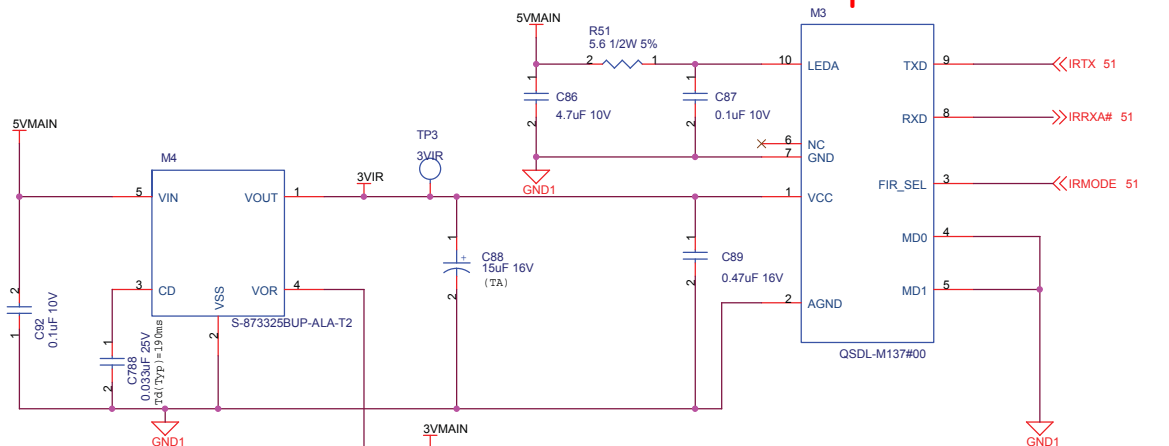
The following guideline is applied to USB signal traces.



USB POW

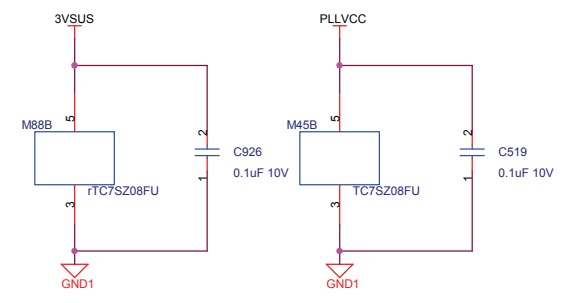
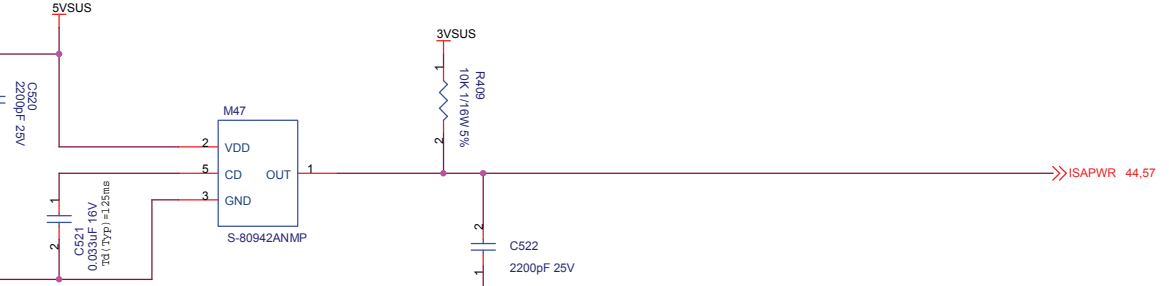
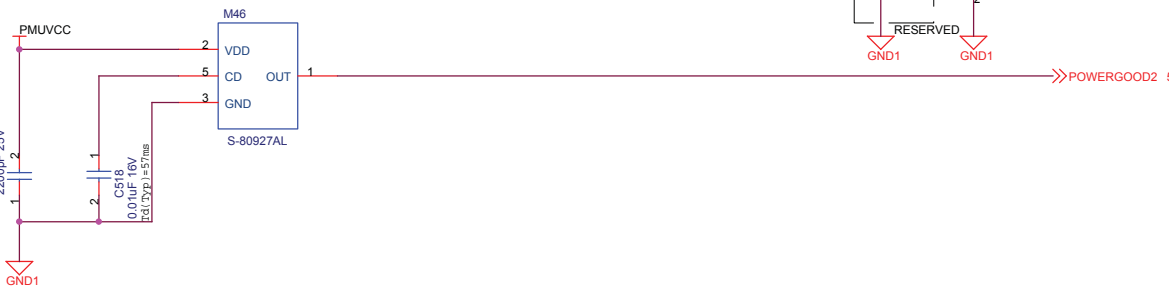
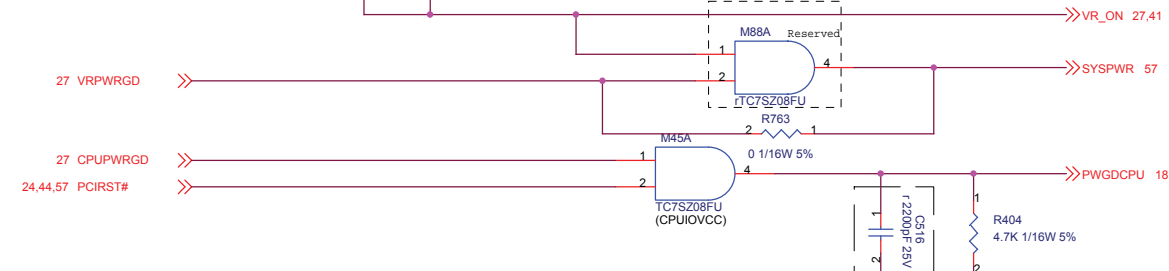
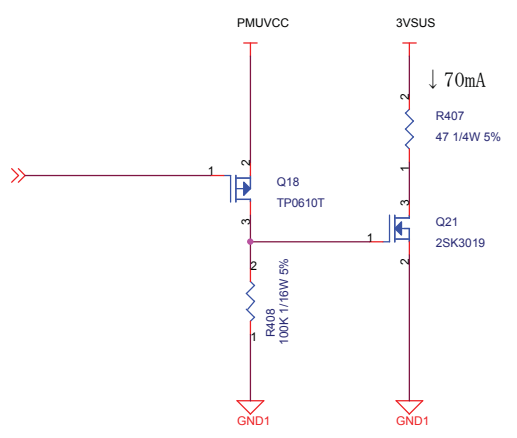
										名称	ANISE-E2 04	
										図番	C1CP051300-X4	
										提出先		
版	年月	設計	調査	承認	変更内					富士通株式会社	10	81
設計					変更	承認						

MAX 1A



- C87, C89はM3pin直横に配置
- M4はM3の近くに配置し、C88はM4の近くに配置すること。
- C759はRing (M34の接続pin)直横に配置すること。

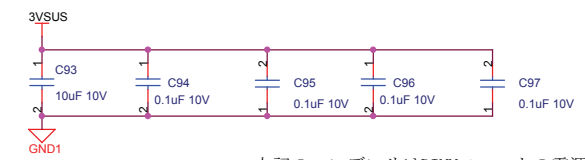
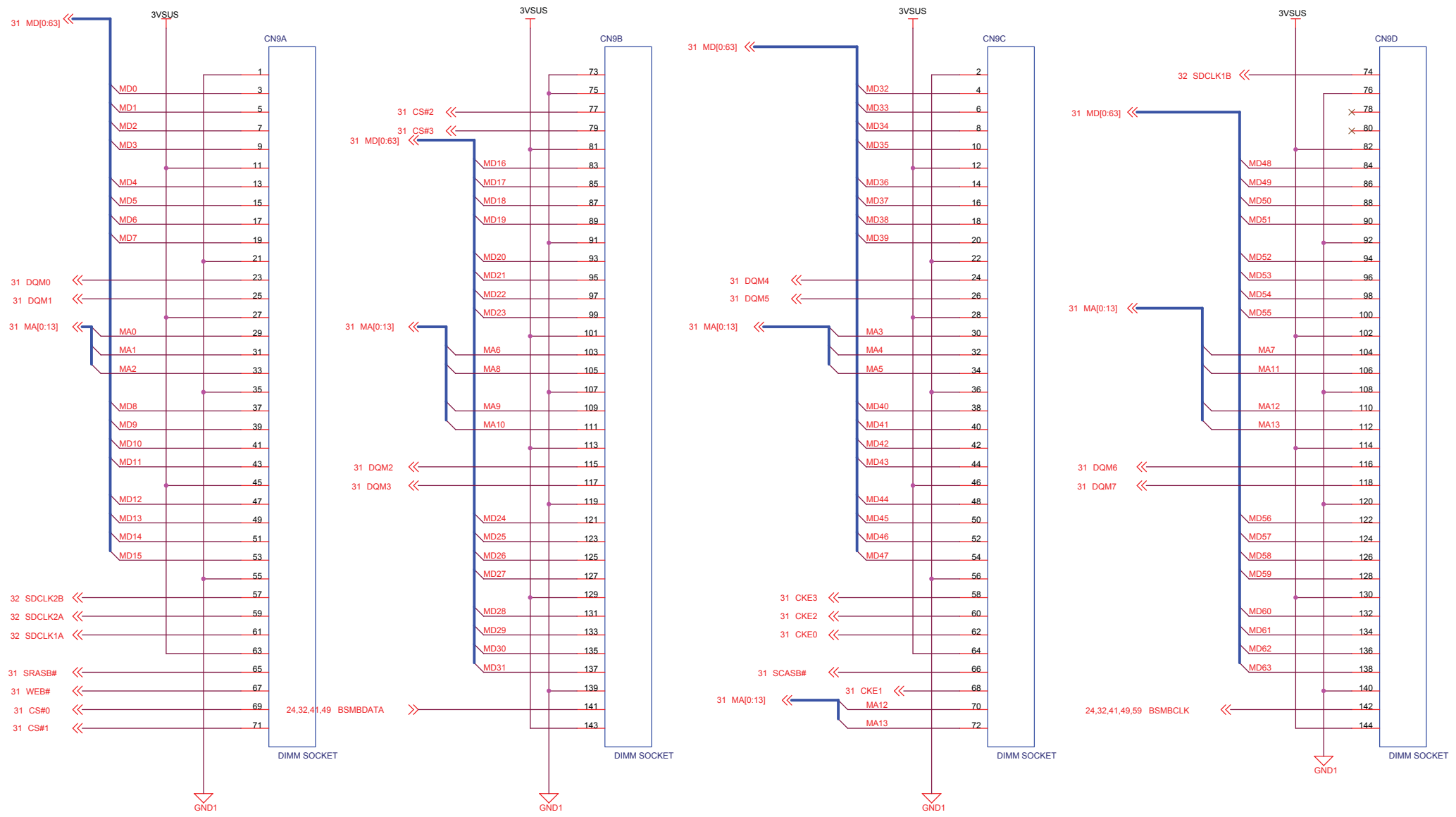
26.59,74.76 SUSC#



RESET/3VIR/IRDA

ANISE-E2 04									
C1CP051300-X#									
版	年月	設計	調査	承認	変更	内	富士通株式会社	11	81

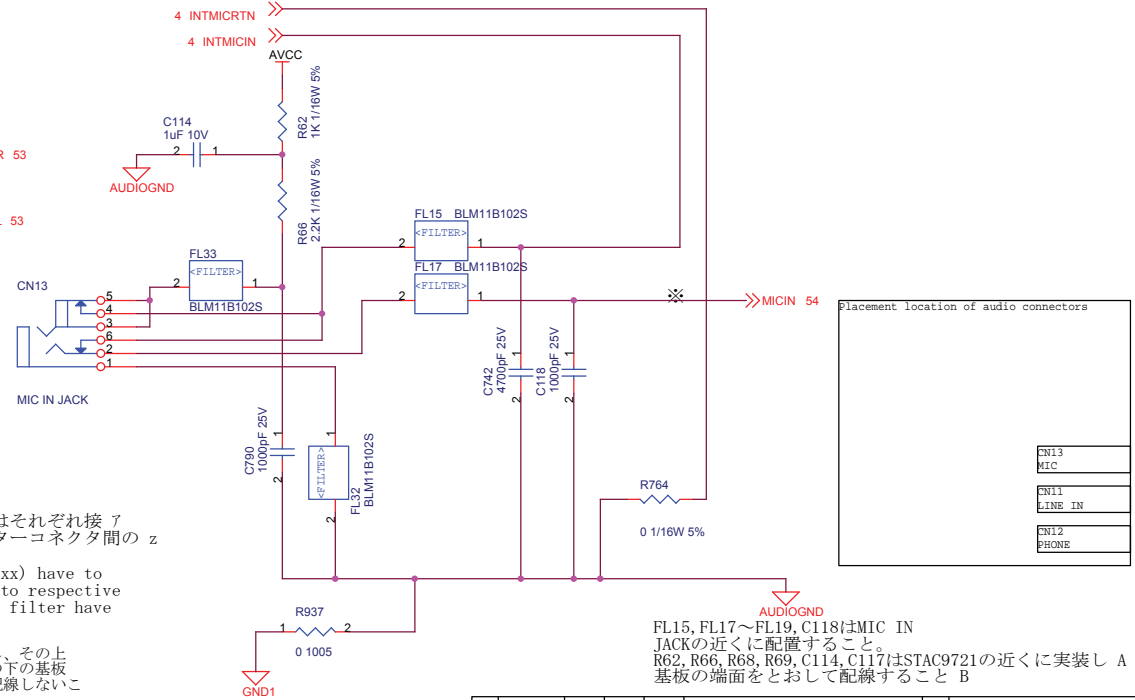
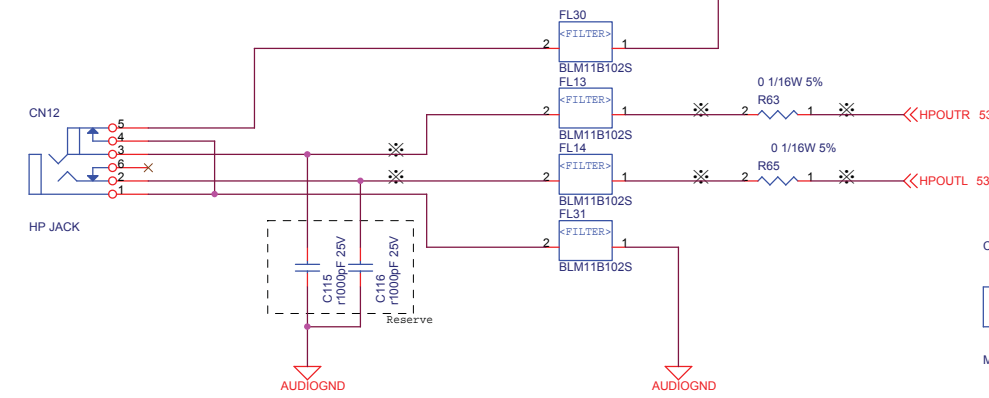
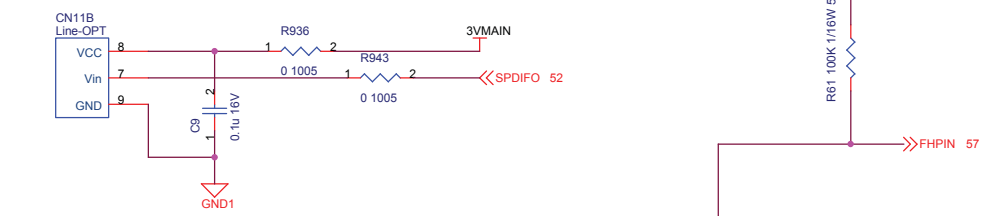
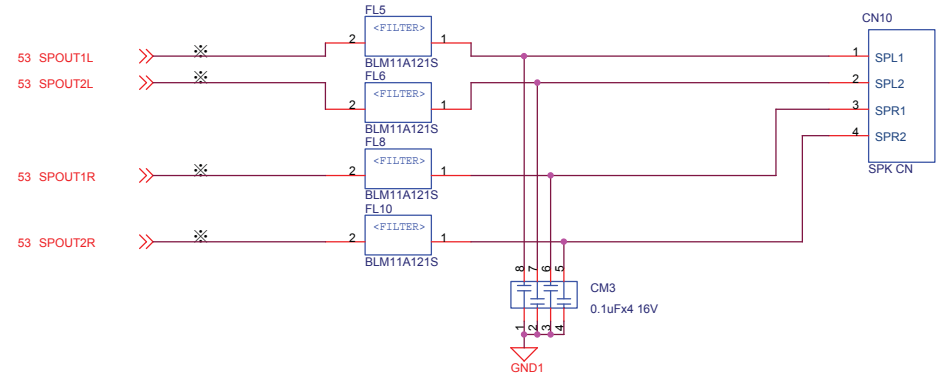
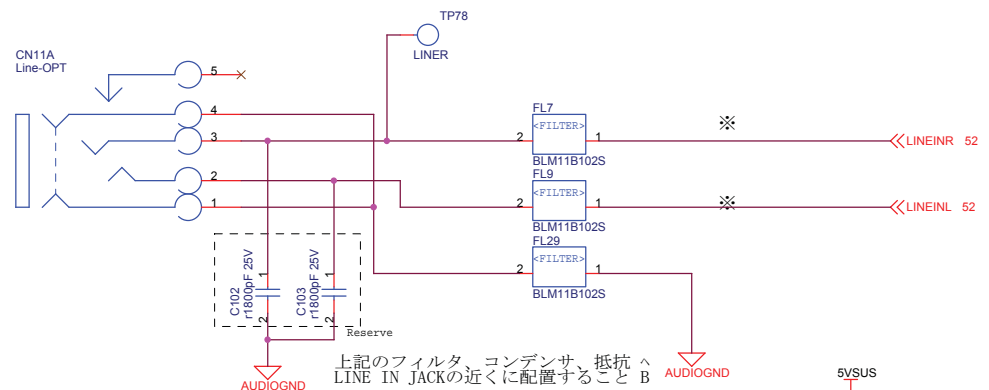
SO-DIMM SLOT (FOR EXPANSION MEMORY)



上記のコンデンサはDIMMスロットの電源端子の近くに配置・配線すること B

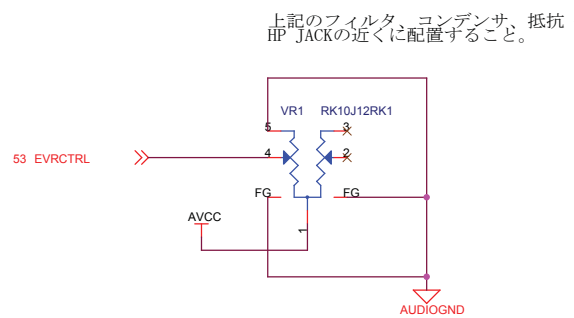
Dimm Slot

							名称	ANISE-E2 04	
							図番	C1CP051300-X4	
							提出先		
版	年月	設計	調査	承認	変更内		富士通株式会社		
設計			調査		変更	承認	12 / 81		



Placement location of audio connectors

CN13	MIC
CN11	LINE IN
CN12	PHONE

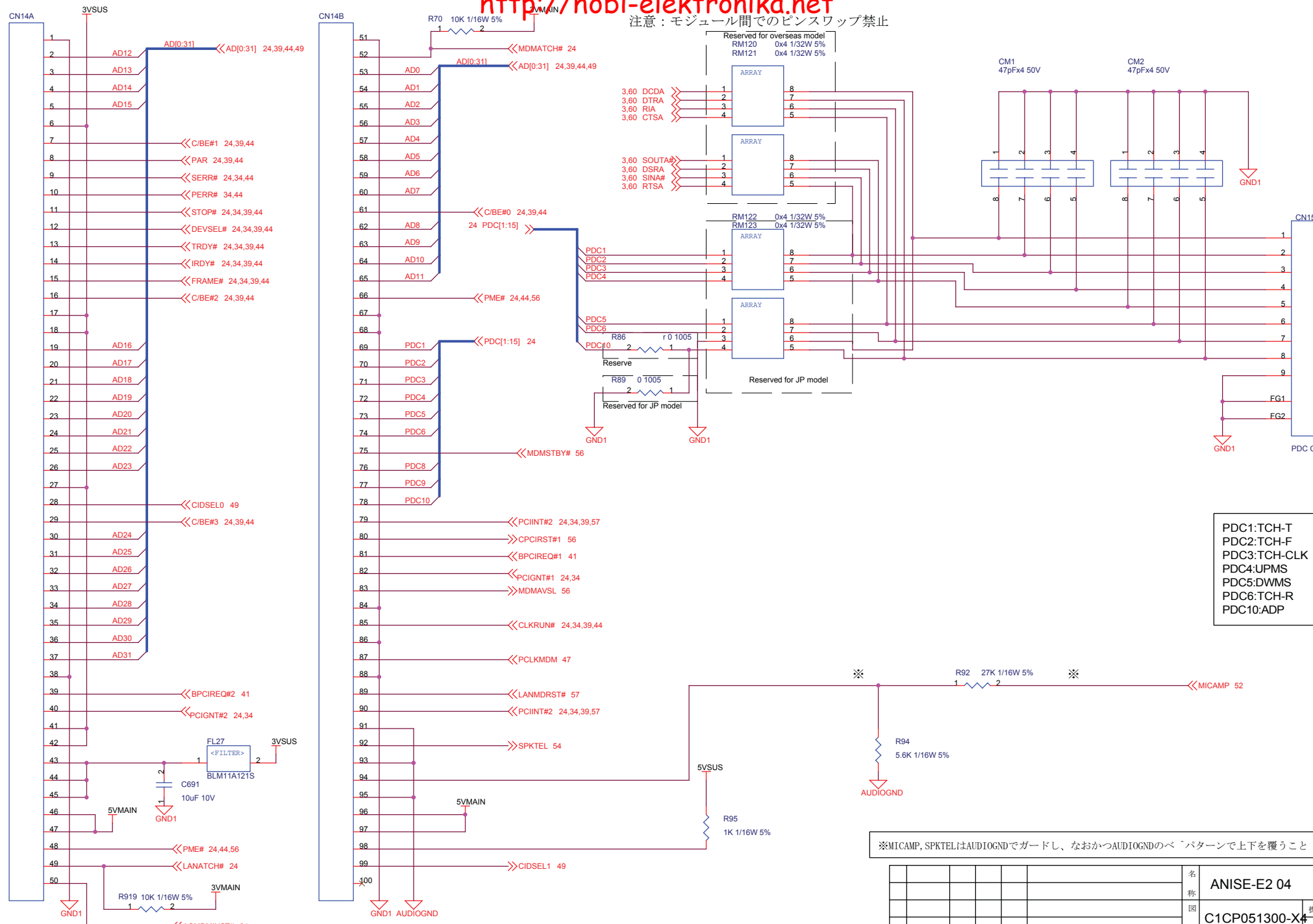


本ページ中に記載されているフィルタ (FLxx) はそれぞれ接 7 されているコネクタの近くに配置し、フィルターコネクタ間の z 線は非常に短く配線すること。
The filters in this page (referred with FLxx) have to be placed near each connector connecting to respective filters. The traces between connector and filter have to be short as much as possible.

本項中※印のついたパターンは、AUDIOGND ナガードし、その上下はAUDIOGNDのベタパターンで覆うこと。また、Mxの下の基板面およびその下の層には、デジタル系の信号線を配線しないこと。
The traces marked with ※ have to be guarded both side and both adjacent layer with AUDIOGND. Underneath Mx on surface layer and in one more internal layer don't allow digital traces to be run.

名称	ANISE-E2 04		提出先
図番	C1CP051300-X#		番
版	年月	設計	調査
承認	承認	変更	承認
富士通株式会社			13 / 81

注意：モジュール間でのピンスワップ禁止



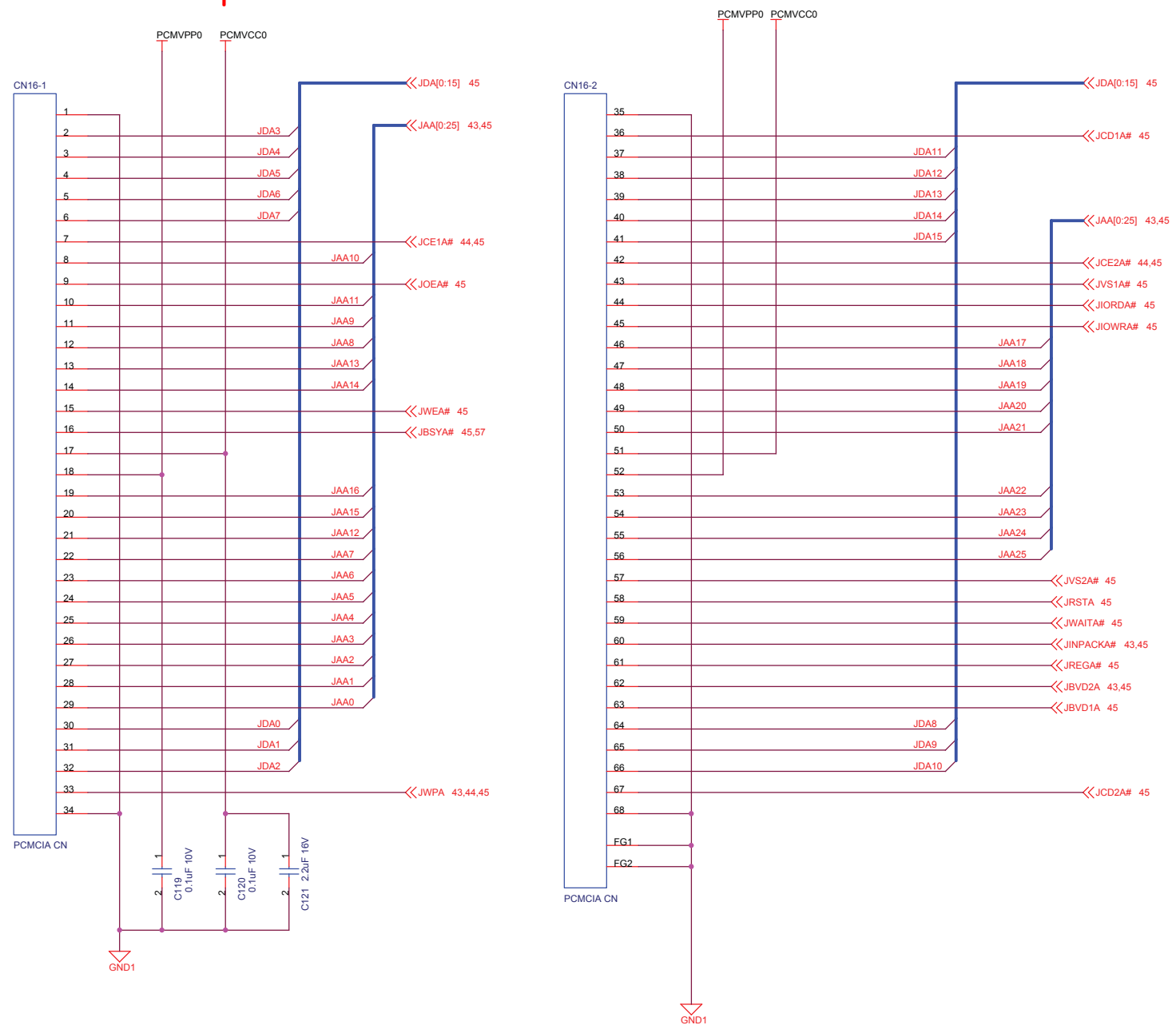
- PDC1:TCH-T
- PDC2:TCH-F
- PDC3:TCH-CLK
- PDC4:UPMS
- PDC5:DWMS
- PDC6:TCH-R
- PDC10:ADP

※MICAMP, SPKTELはAUDIOGNDでガードし、なおかつAUDIOGNDのベタパターンで上下を覆うこと

LAN/MODEM CN

R93はLAN/MODEMコネクタの近くに配置・配線すること。

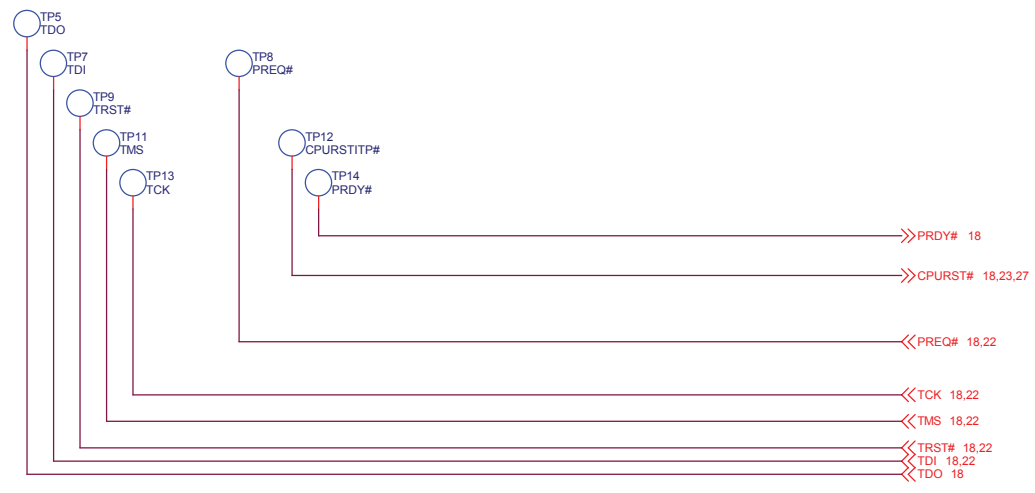
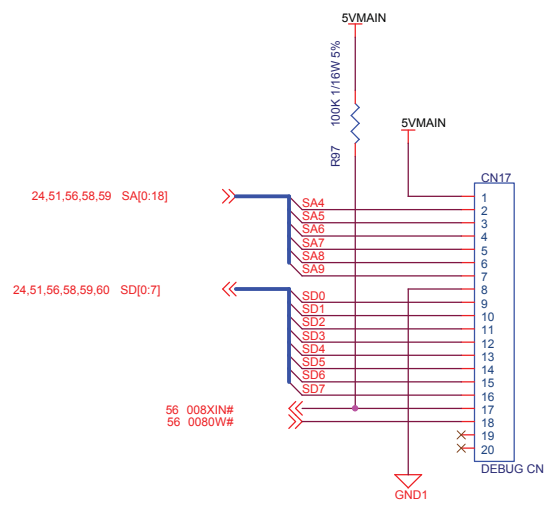
							名称	ANISE-E2 04	
							図番	C1CP051300-X#	
版	年月	設計	調査	承認	変更内		提出先		
設計			調査		変更	承認	富士通株式会社	14	81



PCMCIA SLOT

						名称		ANISE-E2 04	
						图番		C1CP051300-X4	
						提出先			
版	年月	設計	調査	承認	変更内		富士通株式会社		
設計			調査		変更	承認	15 / 81		

**TP5-TP14はCeleron CPU M6 接続先PAD直裏付近、実装のこと。



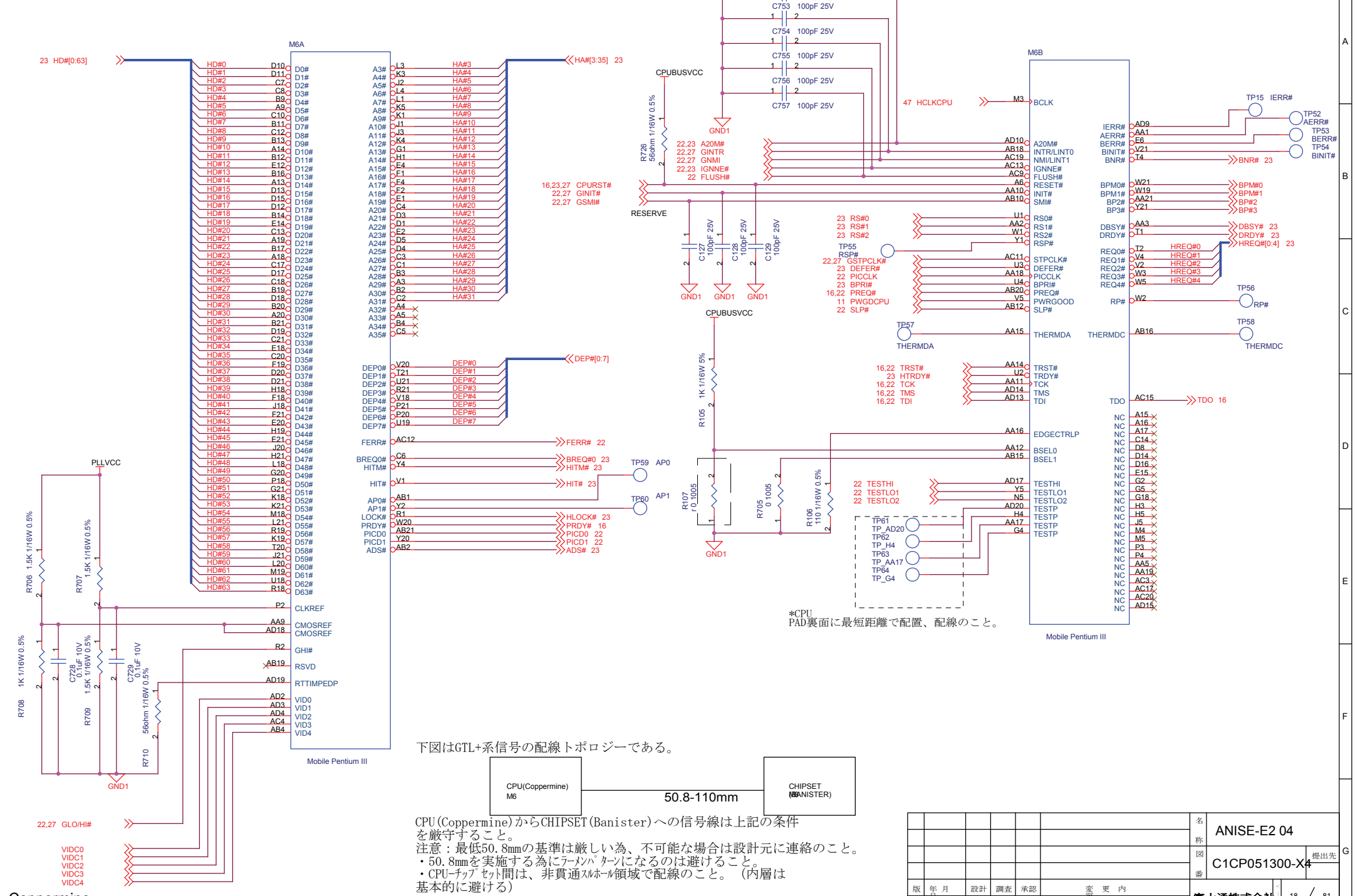
本ページ記載のコネクタはデバッグの為のものである。
なるべくコネクタの配置は、基板端にすること。
もし実装上困難であれば、上記コネクタの形状変更を検討しますので、別途相談願います。

DEBUG CN

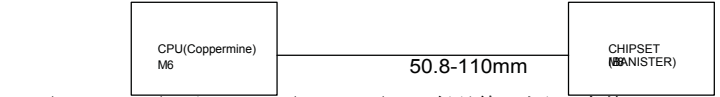
						名称	ANISE-E2 04	
						図番	C1CP051300-X#	
版	年月	設計	調査	承認	変更内容	富士通株式会社		
設計			調査			16	/ 81	

CPU TEMP. MONITOR

									名称	ANISE-E2 04	
									图番	C1CP051300-X4	提出先
版	年月	設計	調査	承認	変更内						
設計			調査		変更		承認			富士通株式会社	17 / 81

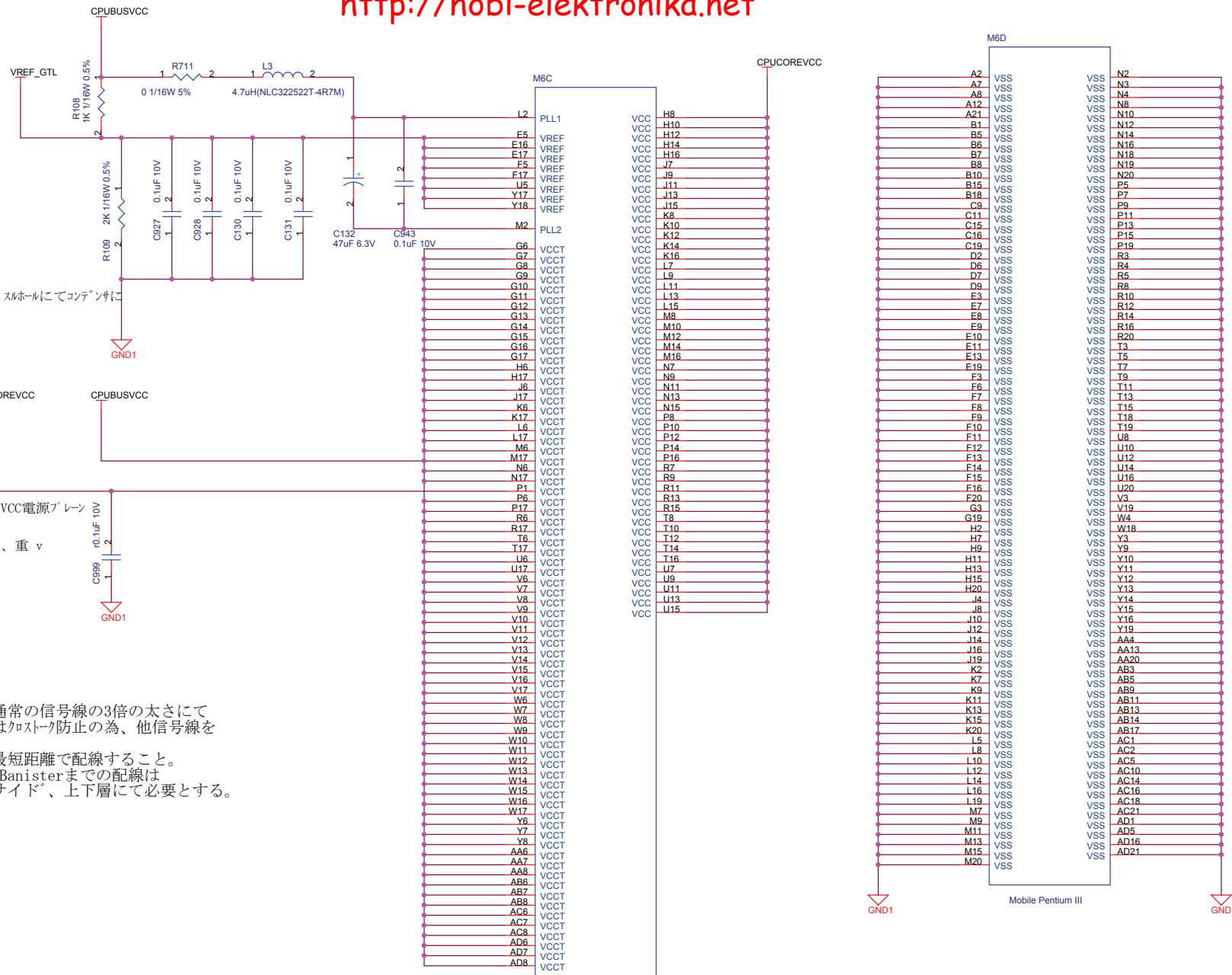


下図はGTL+系信号の配線トポロジーである。



CPU (Coppermine) からCHIPSET (Banister) への信号線は上記の条件を厳守すること。
 注意：最低50.8mmの基準は厳しい為、不可能な場合は設計元に連絡のこと。
 ・50.8mmを実施する為にラミネーションになるのは避けること。
 ・CPUチップセット間は、非貫通ホール領域で配線のこと。(内層は基本的に避ける)

				名 称		ANISE-E2 04	
				図 番		C1CP051300-X4	
				提出先			
				番 号			
版	年月	設計	調査	承認	変更	内	
設計			調査		承認		
富士通株式会社							18 / 81

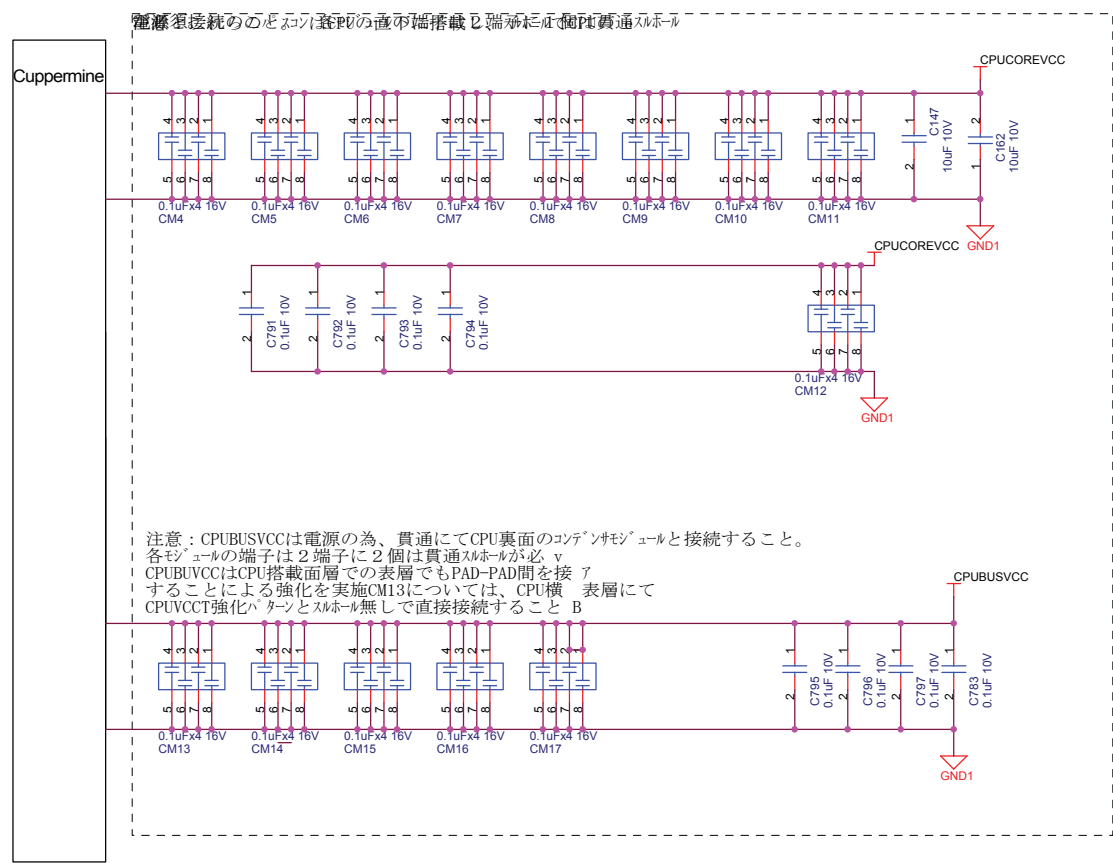


注意：CPUの4隅に近い部分のVREF端子よりスホールにてコンテナに接続すること。
GND1側にもスホール必須

注意：CPU (P1) 端子は、0.4mm幅にてCPUCOREVCC電源プレーンに接続すること。
CPU (P1) 端子の直裏にC999を搭載すること B
※本信号は、CPU内部Core CLKバックアップ電源の為、重v

注) ・C132, L1は、CPUに最短距離で、通常の信号線の3倍の太さにて接続すること。(C132, L1の下には加ストーク防止の為、他信号線を配置しないこと)
・C130, C131, R108, R109は、CPUに最短距離で配線すること。
VREF_GTLは、アナログ信号の為、Banisterまでの配線はGND1によるガードパターンを両サイド、上下層にて必要とする。

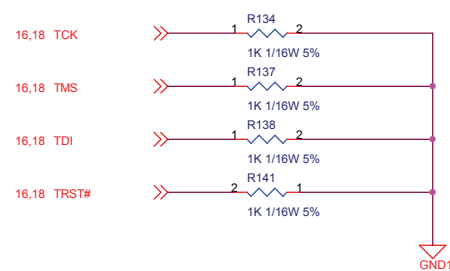
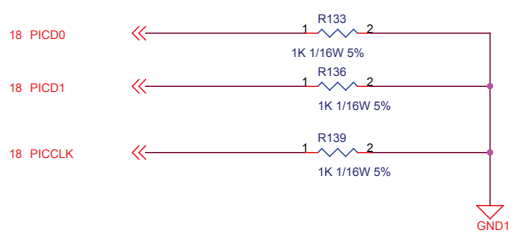
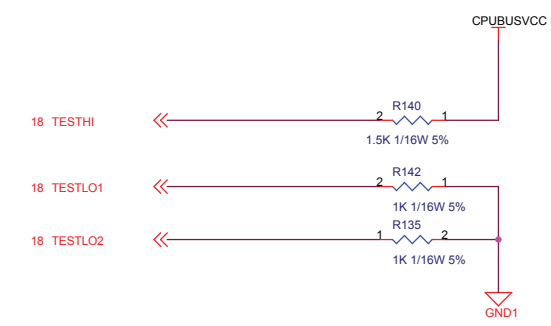
						名称	ANISE-E2 04	
						図番	C1CP051300-X#	
						提出先	富士通株式会社	
版	年月	設計	調査	承認	変更内容			
設計			調査		変更	承認		
						19	/ 81	



						名称		ANISE-E2 04	
						図番		C1CP051300-X#	
						提出先			
版	年月	設計	調査	承認	変更内容		富士通株式会社		
設計			調査		変更	承認	20 / 81		

HOST Signals Pullups

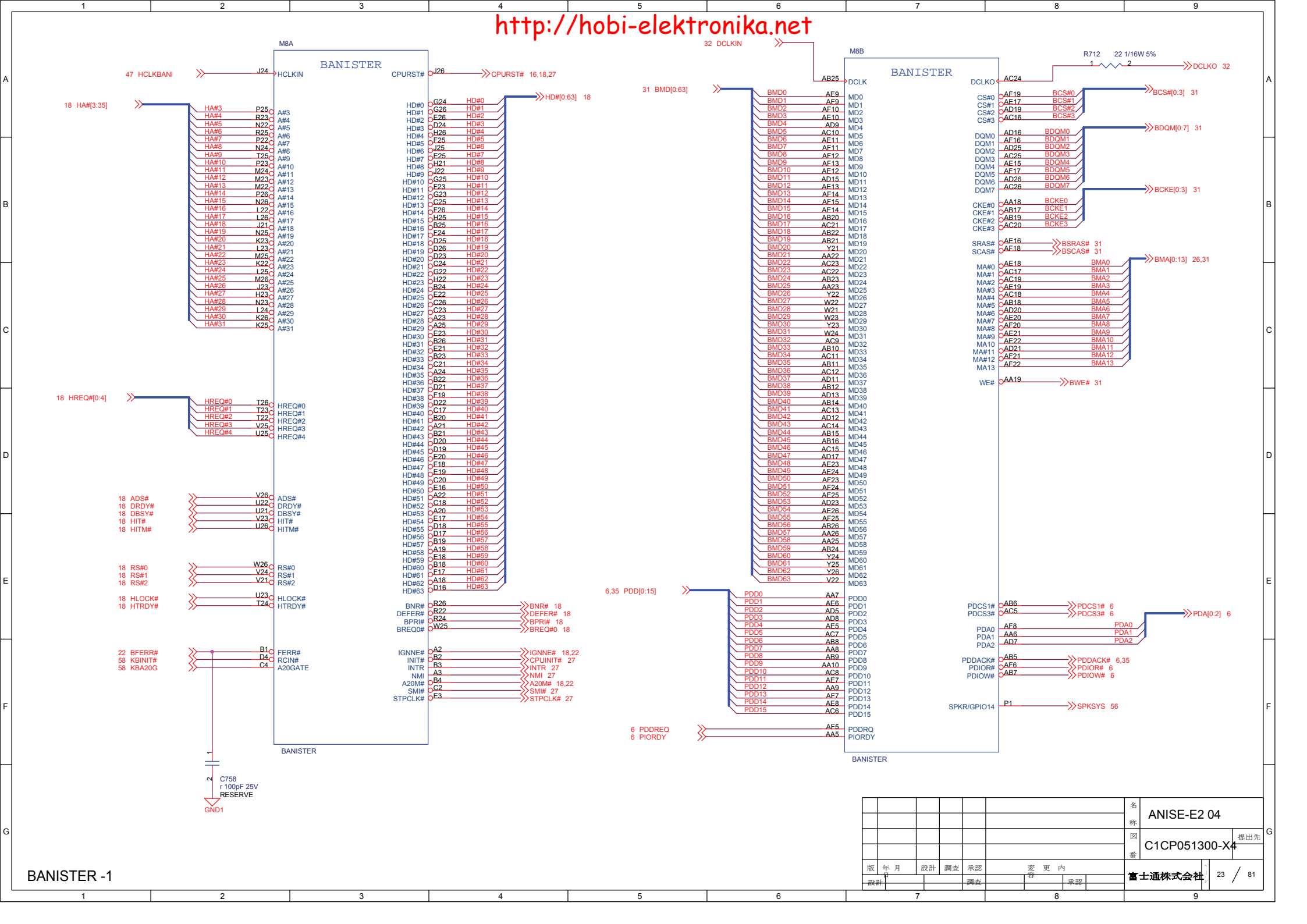
									名称	ANISE-E2 04	
									图番	C1CP051300-X#	提出先
版	年月	設計	調査	承認	変更内						
設計			調査		変更		承認			富士通株式会社	21 / 81



重要:
本ページ記載の抵抗については、特に記載が無い限り、CPUの間近に配置・配線すること。

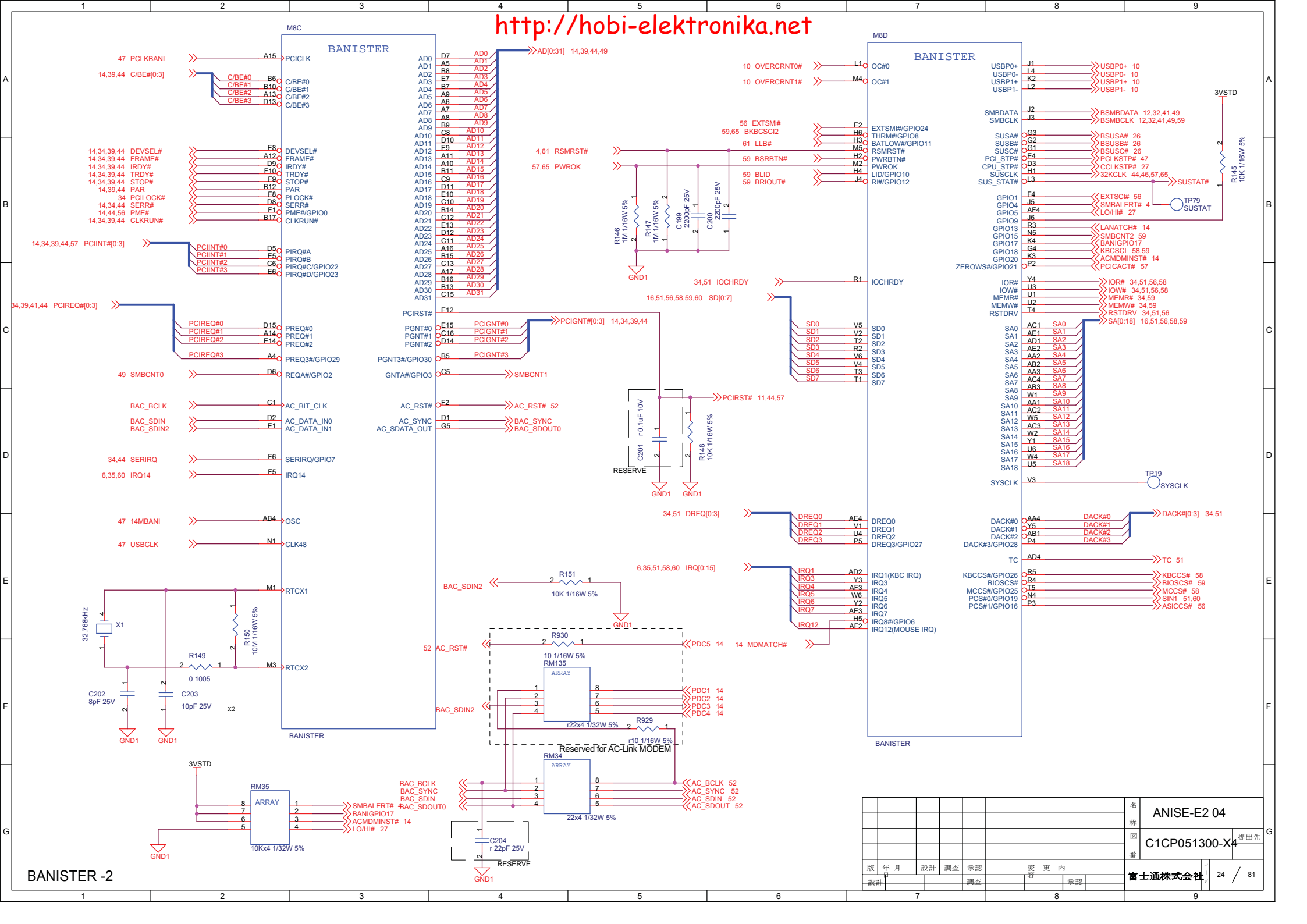
SideBand Signals Pull Up

						名称		ANISE-E2 04	
						図番		C1CP051300-X#	
						提出先			
版	年月	設計	調査	承認	変更内		富士通株式会社		
設計			調査		変更	承認	22 / 81		



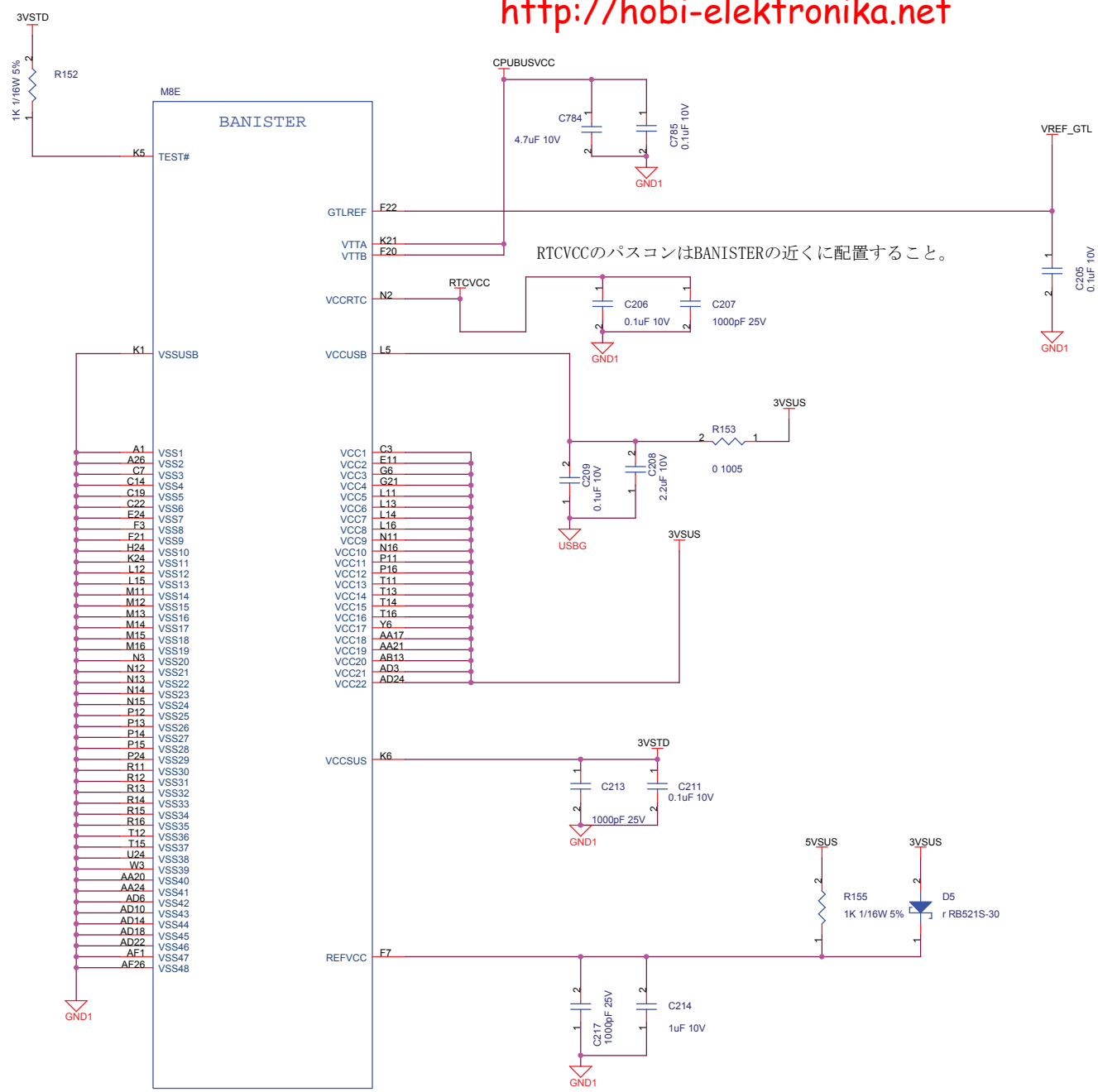
BANISTER -1

							名	ANISE-E2 04	
							称		
							图	C1CP051300-X#	
							番	提出先	
版	年	月	設計	調査	承認	変更	内		
設計					調査	承認		富士通株式会社	
								23	81



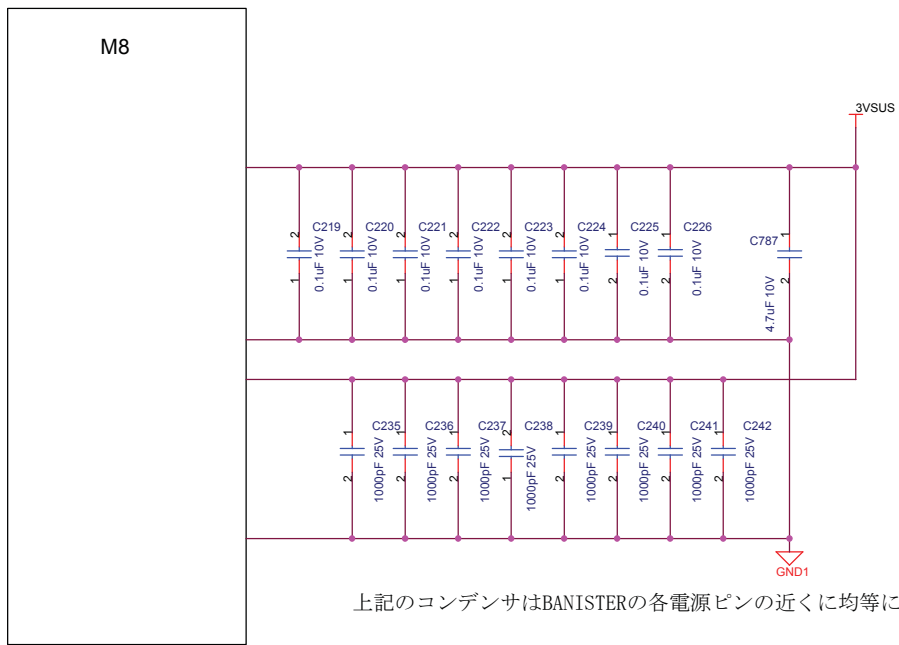
BANISTER -2

							名	ANISE-E2 04	
							称		
							图	C1CP051300-X4	
							番		
版	年	月	设计	调查	承認	変更	内	富士通株式会社	
設計				調査		承認			
								24	81



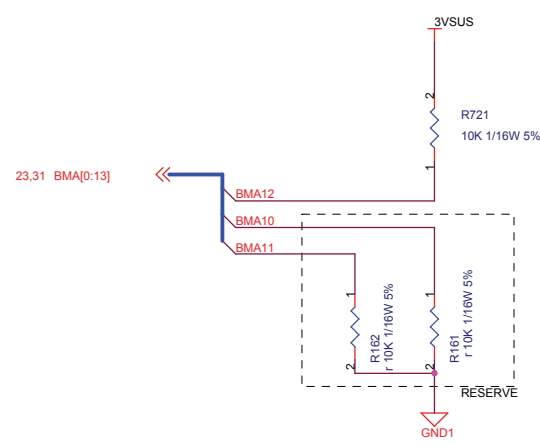
RTCVCCのパスコンはBANISTERの近くに配置すること。

						名称		ANISE-E2 04	
						図番		C1CP051300-X#	
						提出先			
						番			
版	年月	設計	調査	承認	変更内		富士通株式会社		
設計			調査		変更	承認	25 / 81		

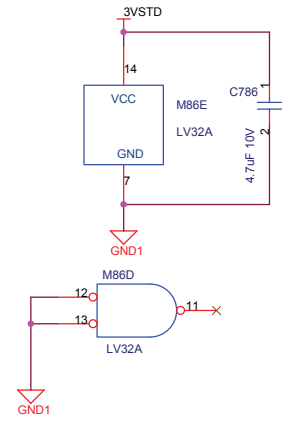
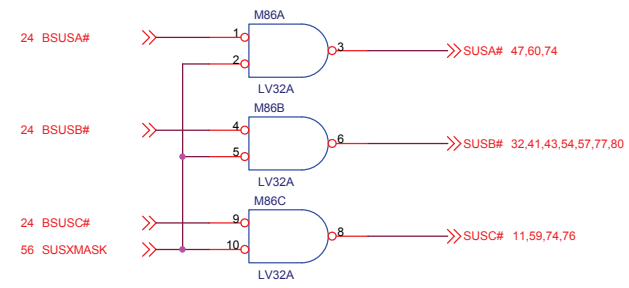


上記のコンデンサはBANISTERの各電源ピンの近くに均等に配置すること

BANISTER



上記の抵抗はCHIPSET (BANISTER)の近傍に配置してください
MA13, 9, 7, 1にはBANISTER内で内部PULL DOWNあり。

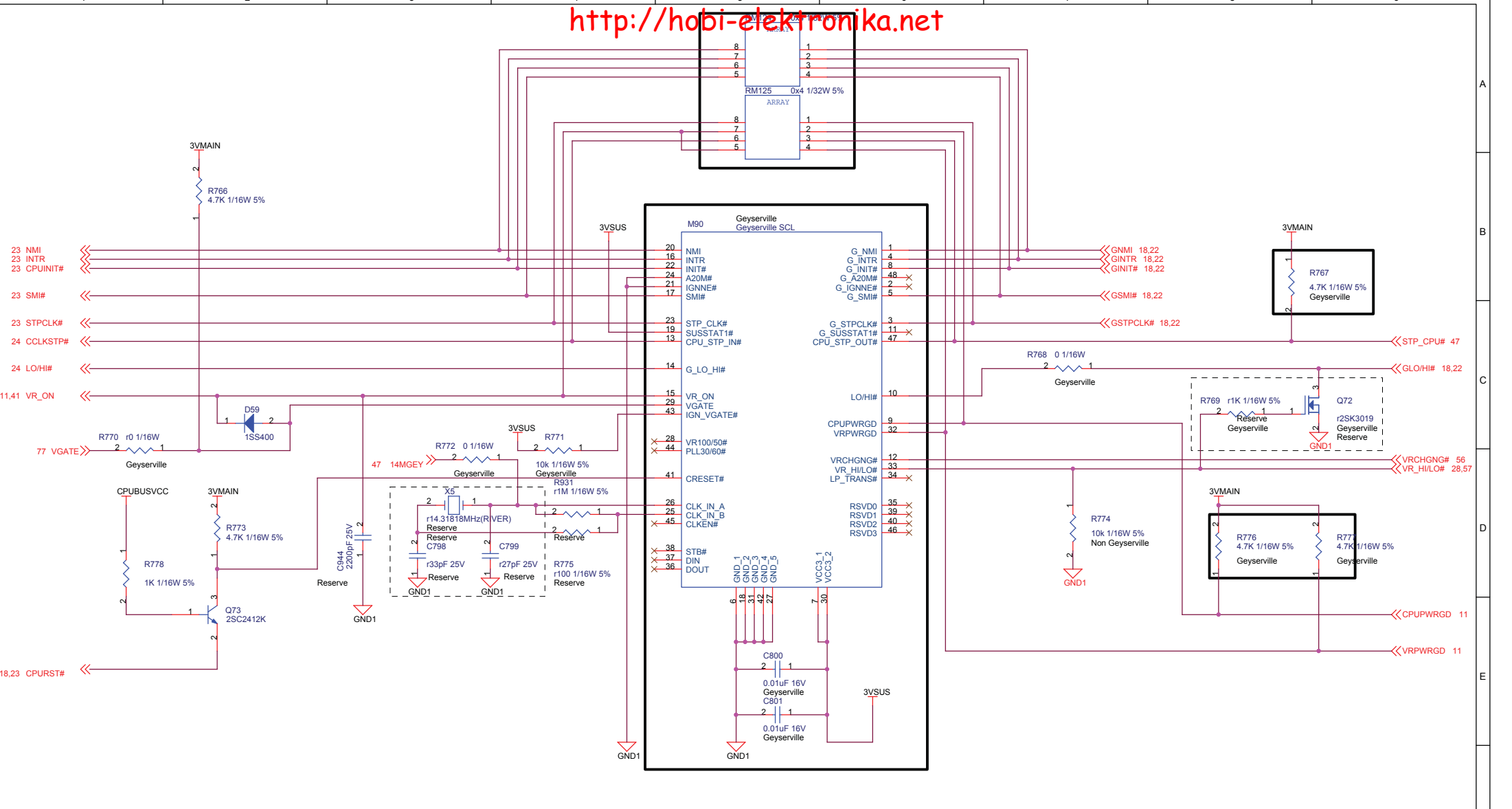


STRAPPING OPTIONS

SIGNAL	DESCRIPTION	DEFAULT
MA10	Quick Start/Deep Sleep	PULL UP
MA11	IOQ depth =8	PULL UP
MA12	Host Frequenc Select Strap to High = 100MHz	PULL DOWN

Banister Strap Options

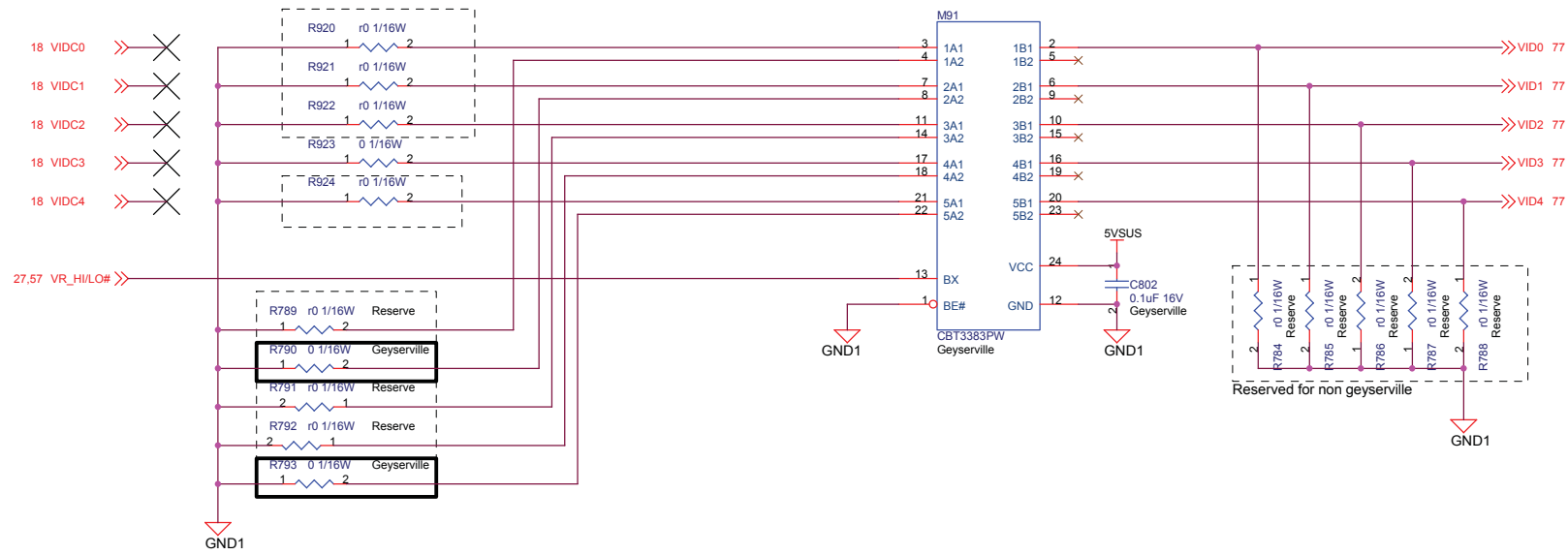
							名	ANISE-E2 04	
							称		
							図	C1CP051300-X#	
							番	提出先	
版	年月	設計	調査	承認	変更内		富士通株式会社		
設計			調査		変更	承認	26 / 81		



23 NMI	Geyserville	R779	1.5K 1/16W 5%	1	2
23 INTR	Geyserville	R780	1.5K 1/16W 5%	1	2
23 CPUINIT#	Geyserville	R781	1K 1/16W 5%	1	2
23 SMI#	Geyserville	R782	1.5K 1/16W 5%	1	2
23 STPCLK#	Geyserville	R783	680 1/16W 5%	1	2

						名	ANISE-E2 04	
						称		
						图	C1CP051300-X#	
						番	提出先	
版	年月	設計	調査	承認	変更	内		
設計			調査		承認		富士通株式会社	
							27	81

【このページの部品について】
 CPUCoreVccの電源に比較的近いところにおくこと(そんなに近くおく必要はない)



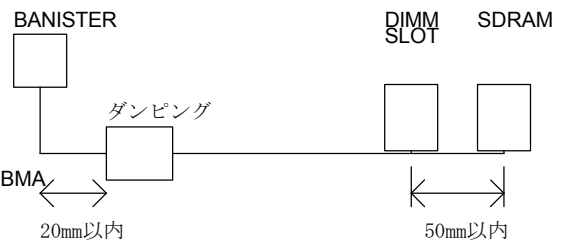
VID4	VID3	VID2	VID1	VID0	V
0	0	0	0	0	2.000
0	0	0	0	1	1.950
0	0	0	1	0	1.900
0	0	0	1	1	1.850
0	0	1	0	0	1.800
0	0	1	0	1	1.750
0	0	1	1	0	1.700
0	0	1	1	1	1.650
0	1	0	0	0	1.600
0	1	0	0	1	1.550
0	1	0	1	0	1.500
0	1	0	1	1	1.450
0	1	1	0	0	1.400
0	1	1	0	1	1.350
0	1	1	1	0	1.300
0	1	1	1	1	0(OFF)
1	0	0	0	0	1.275
1	0	0	0	1	1.250
1	0	0	1	0	1.225
1	0	0	1	1	1.200
1	0	1	0	0	1.175
1	0	1	0	1	1.150
1	0	1	1	0	1.125
1	0	1	1	1	1.100
1	1	0	0	0	1.075
1	1	0	0	1	1.050
1	1	0	1	0	1.025
1	1	0	1	1	1.000
1	1	1	0	0	0.975
1	1	1	0	1	0.950
1	1	1	1	0	0.925
1	1	1	1	1	0(OFF)

Celeron450 1.60V
 PIII600LGV 1.35V - 1.10V

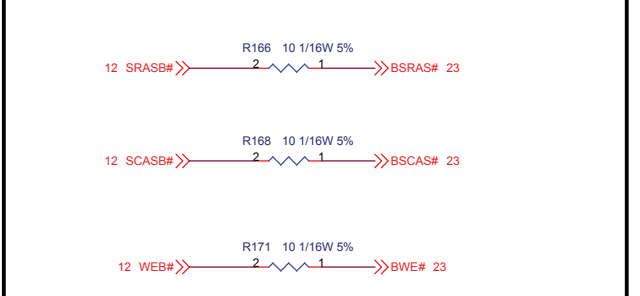
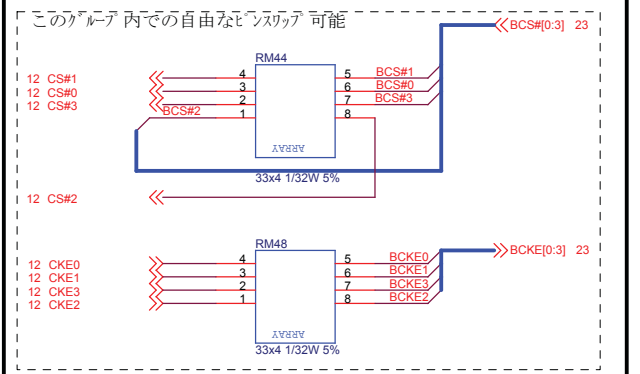
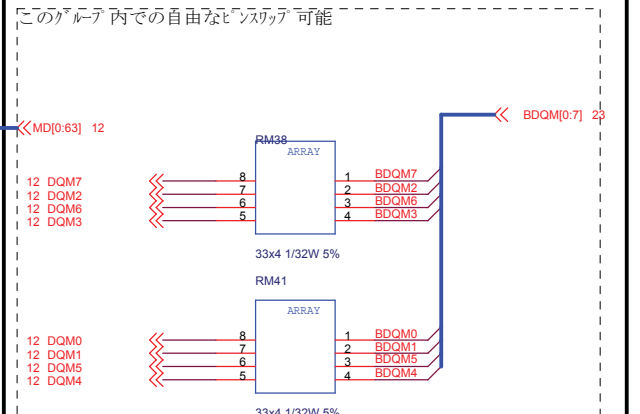
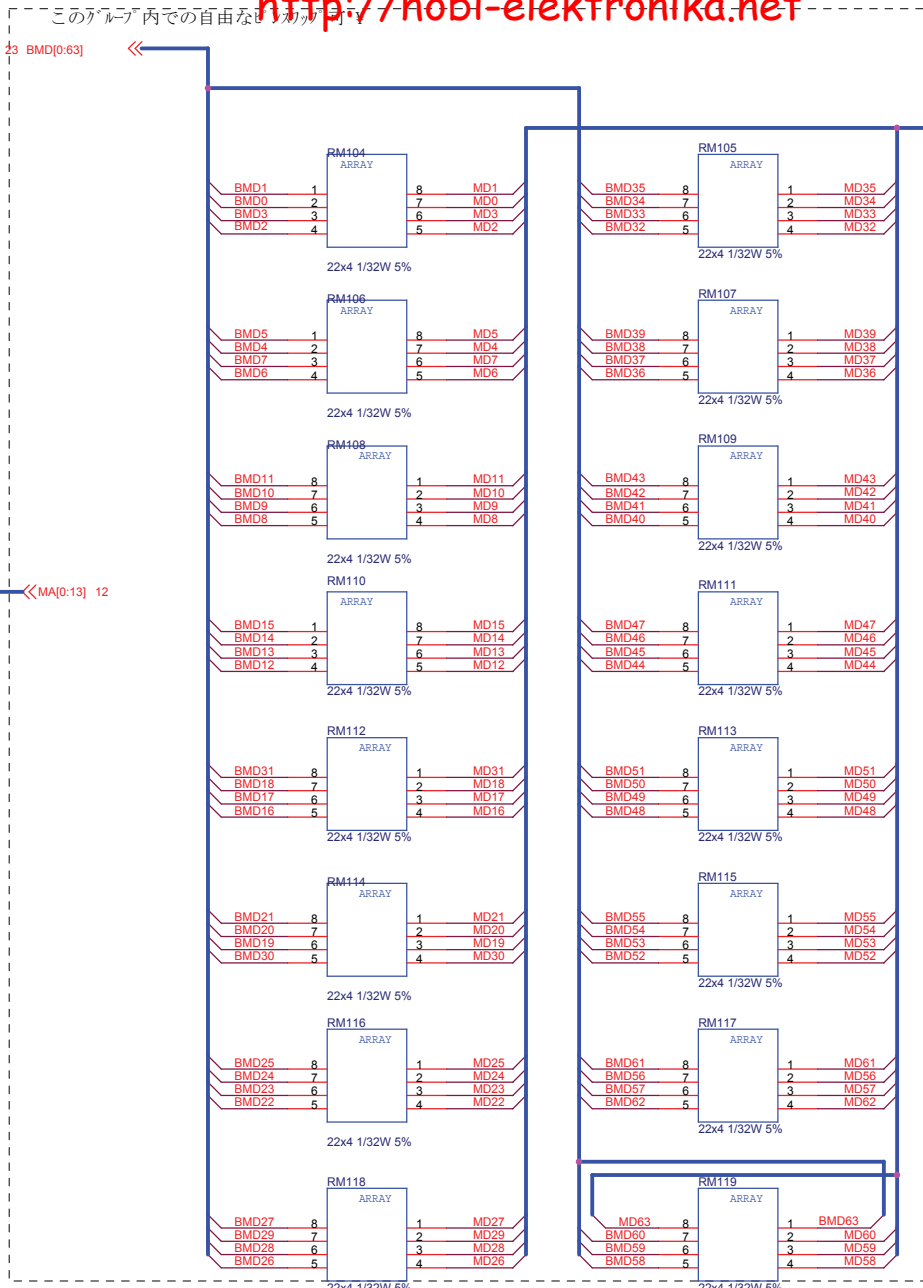
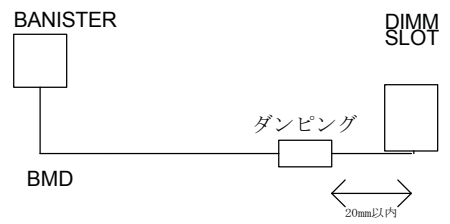
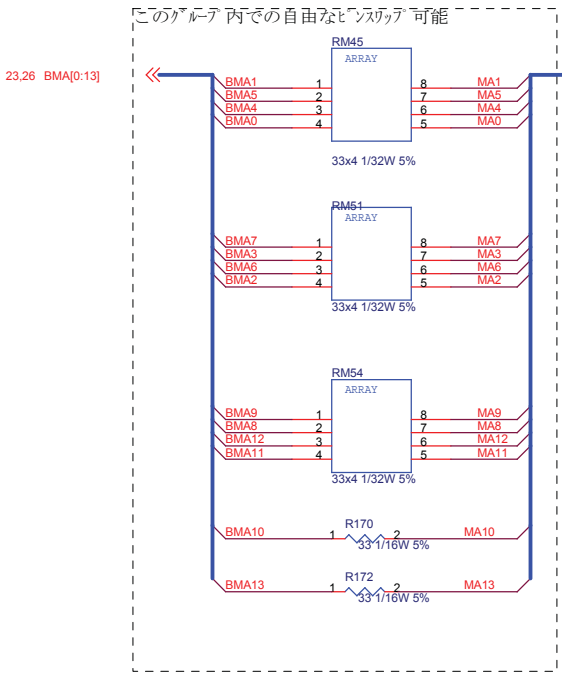
VID CONTROL

名称	ANISE-E2 04	
図番	C1CP051300-X4	
提出先	富士通株式会社	
版	年月	設計
設計	調査	承認
変更	承認	承認
変更	承認	承認

・ MA (BMA), MD (BMD), DQM (BDQM), CS (BCS), CKE (BCKE)
 SRAS#, SCAS#は他と平行にパターンを走らせないこと。
 やむをえず走らせる場合は、間をGND1でガードすること。

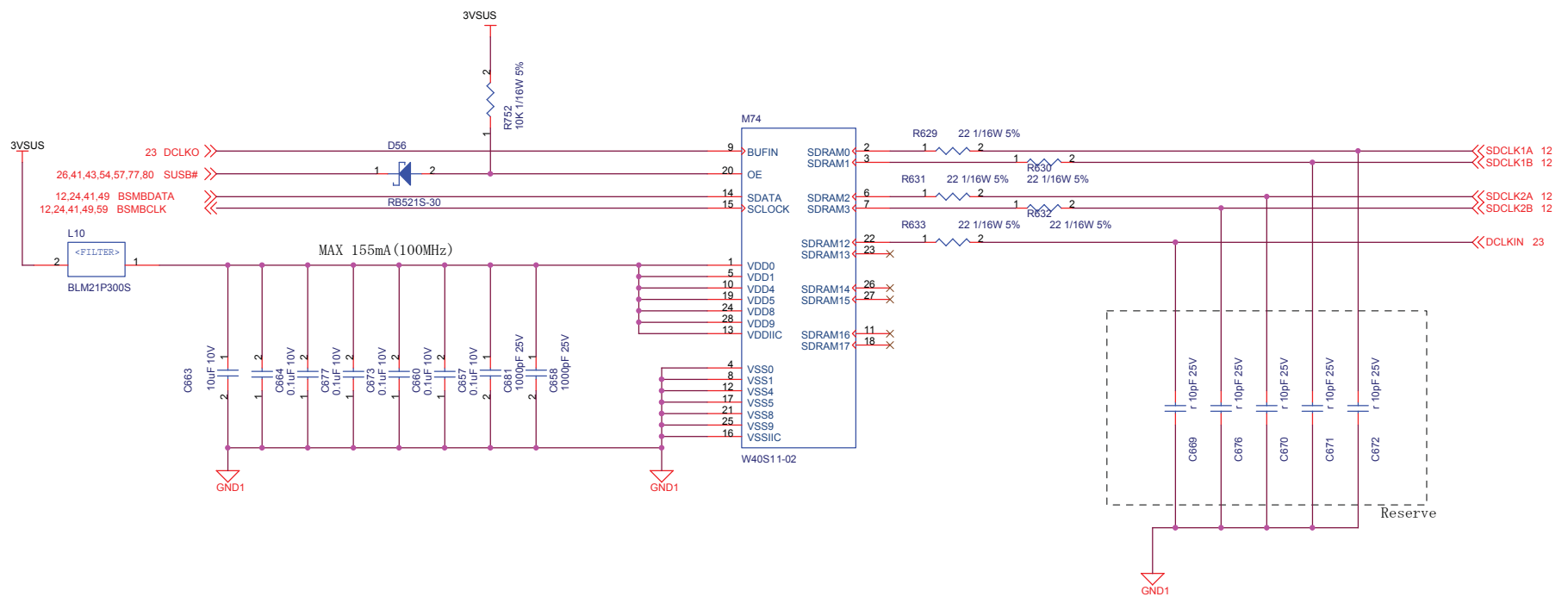


・ MA, DQM, CS#, CKE, SRAS#, SCAS#, WE#のダンピング抵抗は BANISTER側に配置すること。



上記の縦列に書かれている集合抵抗4ケ及び抵抗3ケは、BANISTERの間に配置・配線すること。

							名	ANISE-E2 04	
							図	C1CP051300-X4	
							番	提出先	
版	年月	設計	調査	承認	変更内		富士通株式会社		
設計			調査		変更	承認	31 / 81		

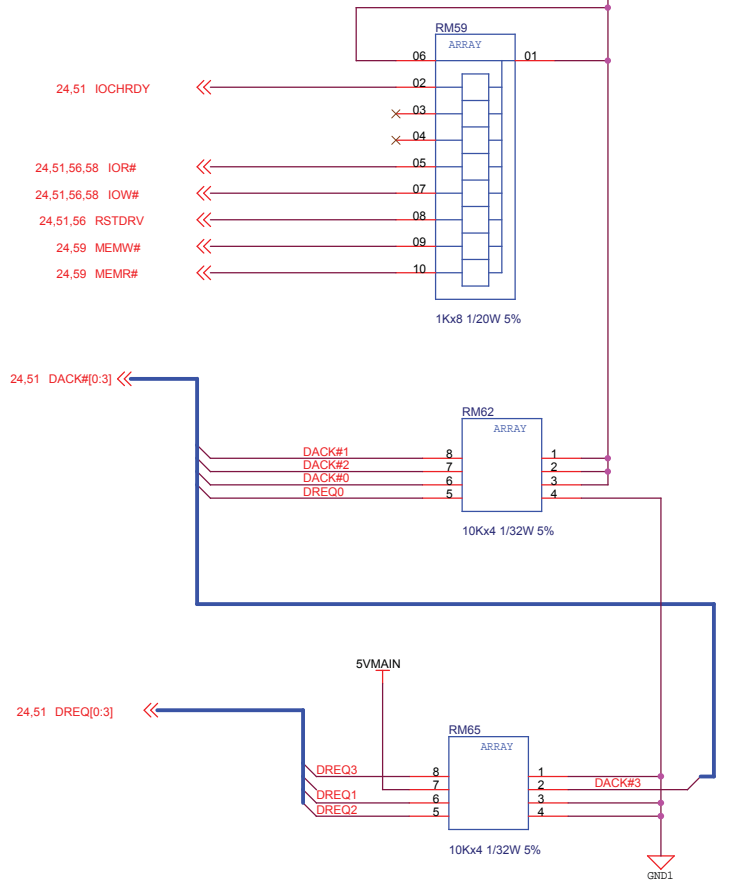
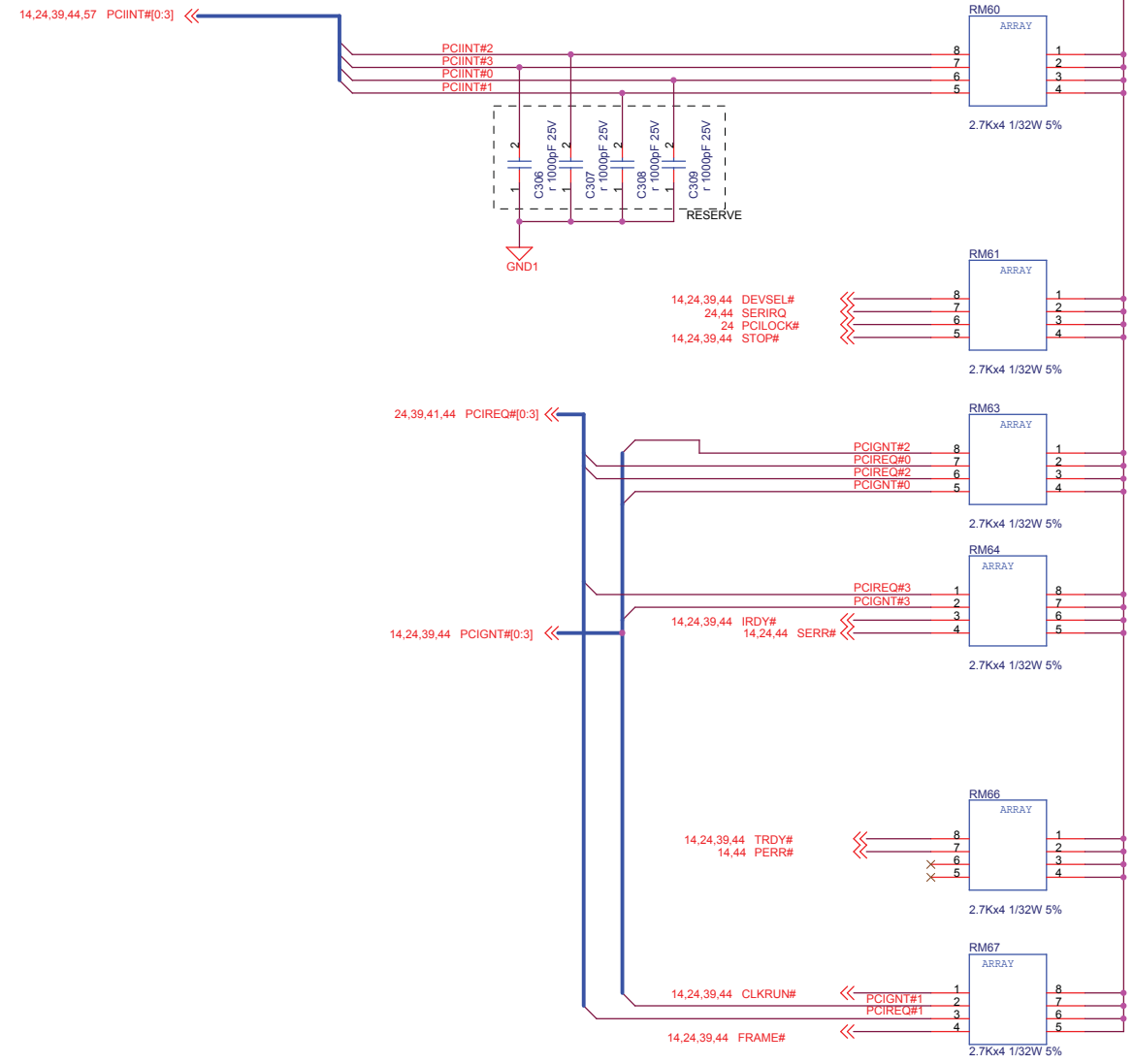


CLOCK BUFFER

							名称	ANISE-E2 04	
							图番	C1CP051300-X4 提出先	
版	年月	設計	調査	承認	変更内		富士通株式会社		
設計			調査		変更	承認	32 / 81		

PULL-UPS for PCI

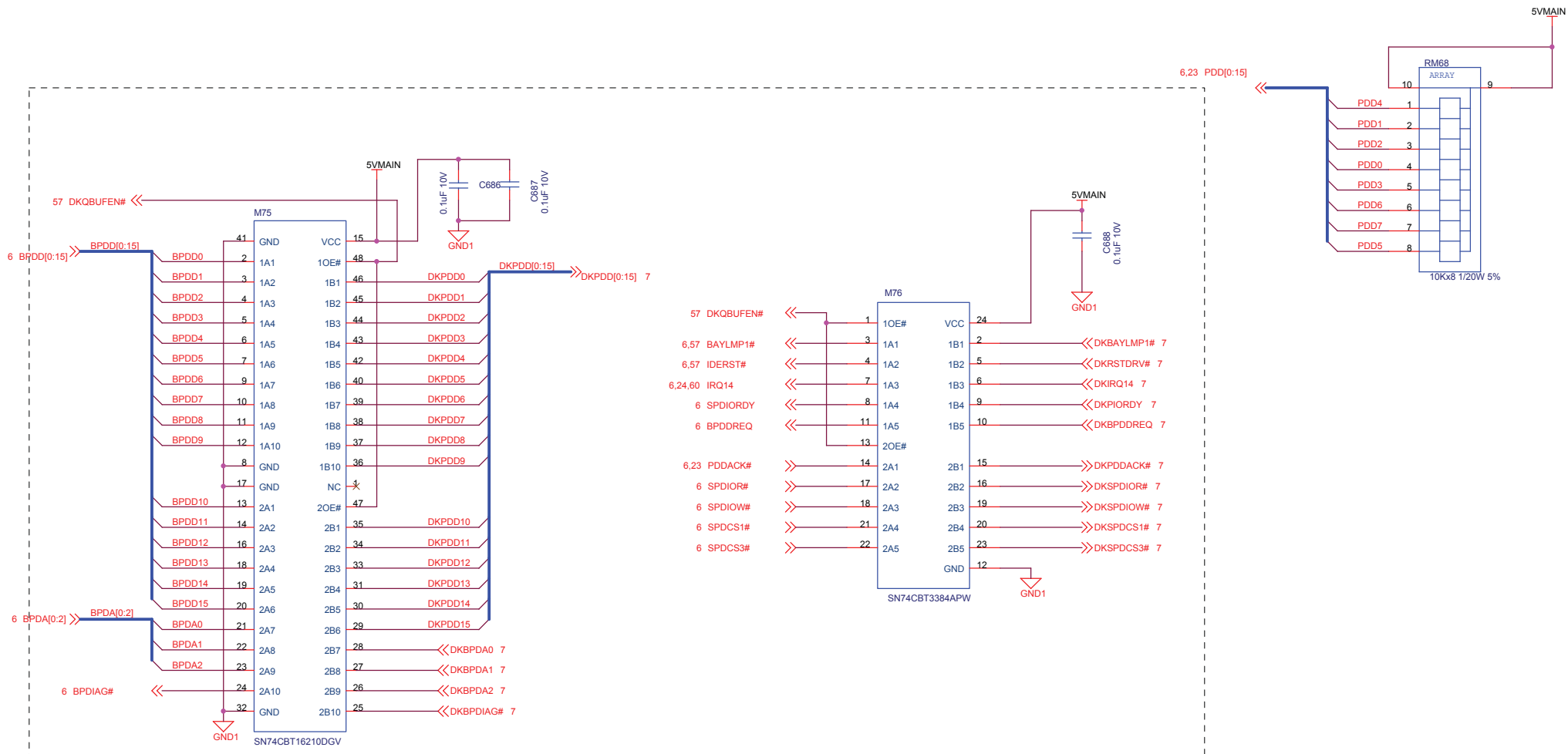
PULL-UPS for E-I/O



PULL UP

						名称		ANISE-E2 04	
						図番		C1CP051300-X#	
						提出先			
版	年月	設計	調査	承認	変更内		富士通株式会社		
設計			調査		変更	承認	34 / 81		

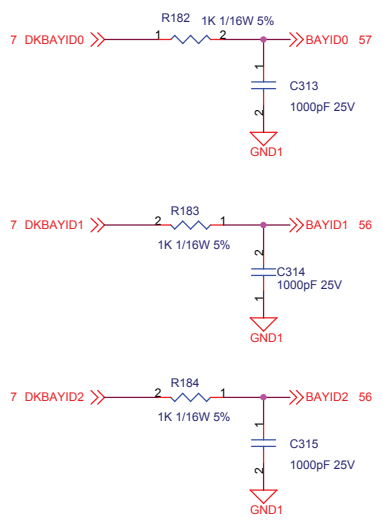
Pull ups for IDE(P)



M75, M76はCN7直裏付近に搭載のこと。
 BPDDx, DKPDDxは左右の関係を保てばヒンズリ可
 注意:ヒンズリした場合は、設計元に書面通知すること B

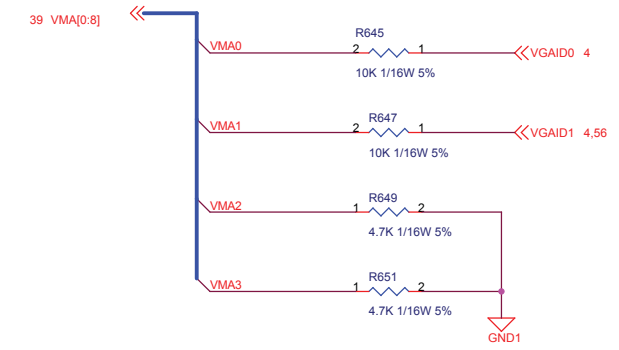
IDE PULL UP

						名称	ANISE-E2 04	
						図番	C1CP051300-X#	
						提出先		
版	年月	設計	調査	承認	変更	内		
設計			調査		変更	承認		
						富士通株式会社	35	81

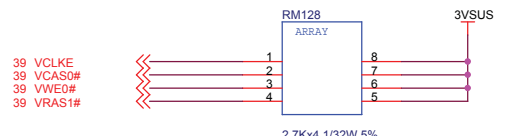


BAY ID

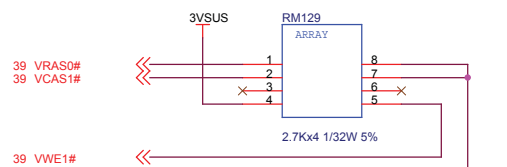
					名称		ANISE-E2 04	
					图番		C1CP051300-X#	
					提出先			
版	年月	設計	調査	承認	変更内		富士通株式会社	
設計			調査		容	承認	37 / 81	



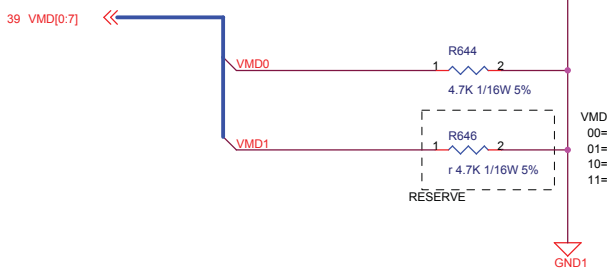
VMA[3:0] Panel Type Select
 TFT
 0000=6x4-18
 0001=8x6-18 (SVGA)
 0010=10x7-18 (XGA)
 0011=10x7-18+18
 0100=12x10-18+18
 0101=10x6-18+18
 DSTN
 1000=6x4-16
 1001=8x6-16
 1010=10x7-16
 1011=10x7-24
 1100=12x10-24
 1101=10x6-24



VCAS0# Linear/Bank Addressing
 0=linear only
 1=linear/bank
 VWE0# Clock source control
 0=external
 1=internal
 VRAS1# Memory Mapped I/O Control
 0=enable
 1=disable

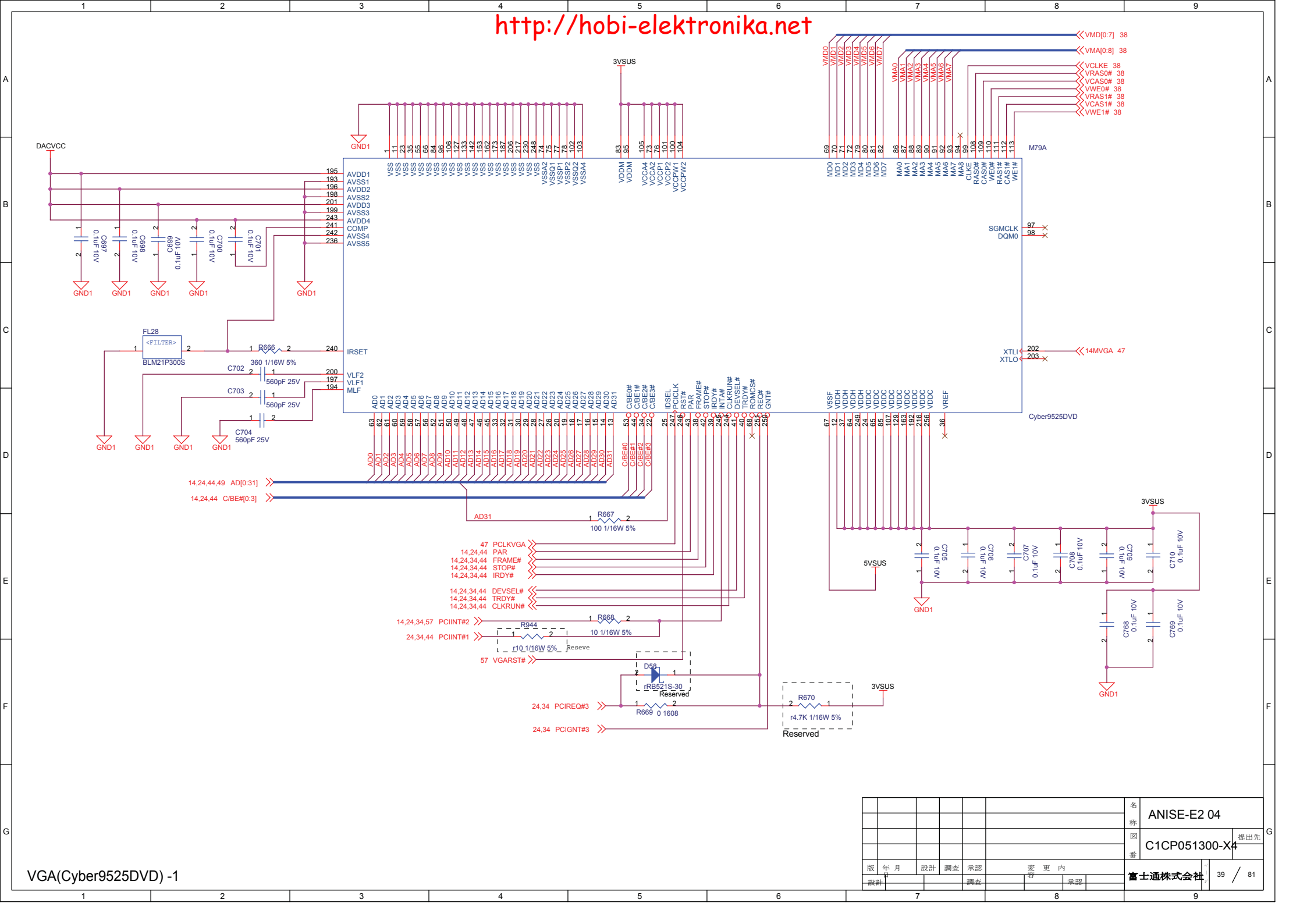


VRAS0# BIOS control
 0=disabled
 1=enabled
 VCAS1# Host Bus Control
 0=PCI
 1=AGP
 VWE1# IDSEL in AGP bus
 0=AD17
 1=AD16



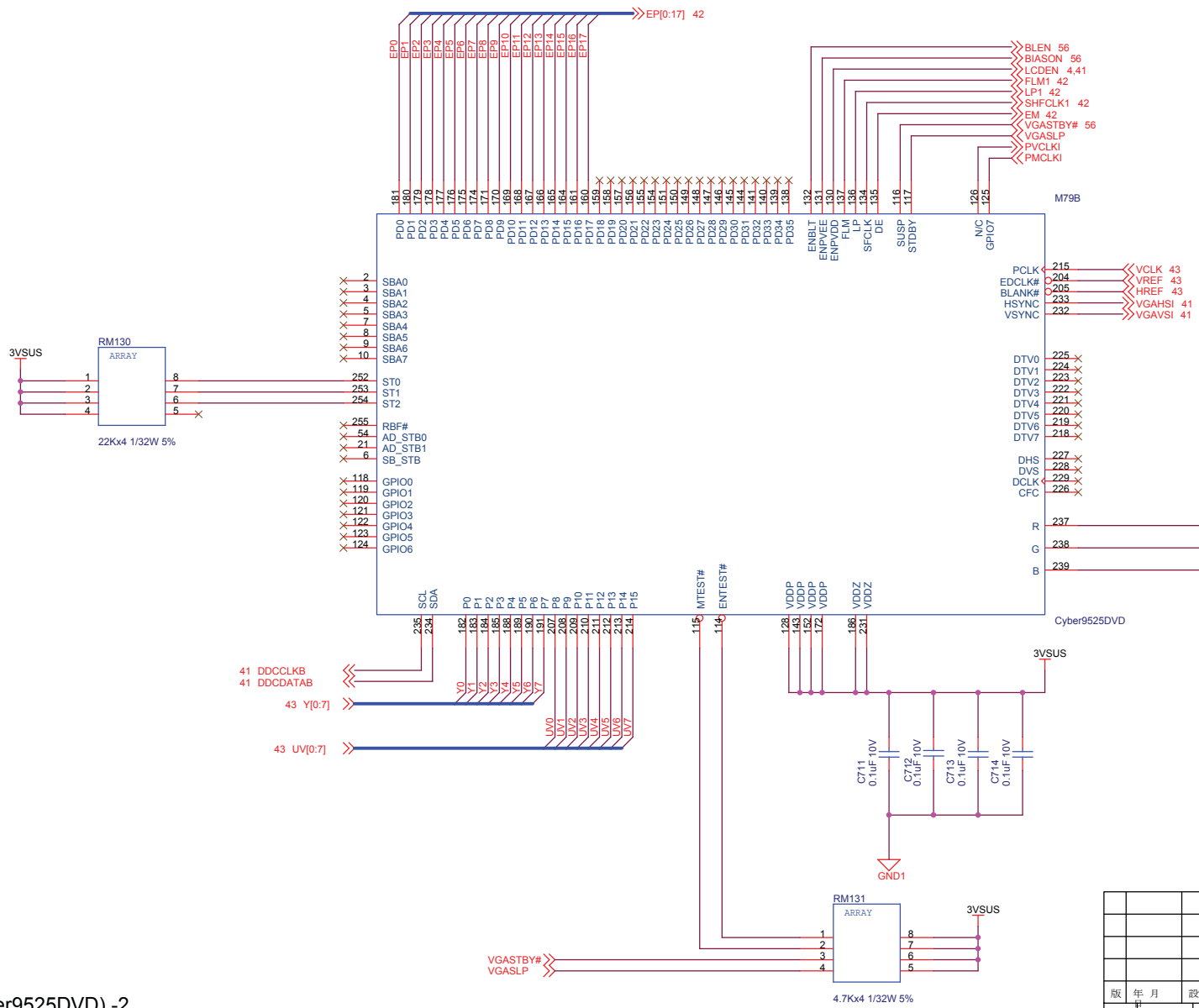
VMD[1:0] Memory Clock Select
 00=66MHz
 01=75MHz
 10=83MHz
 11=100MHz

						名称	ANISE-E2 04	
						图番	C1CP051300-X#	
						提出先		
版	年月	設計	調査	承認	変更内容	富士通株式会社		
設計			調査		変更	承認	38	81

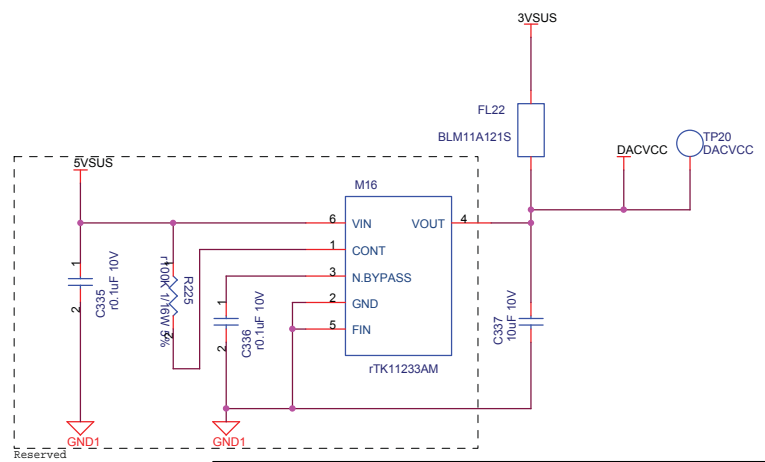


VGA(Cyber9525DVD) -1

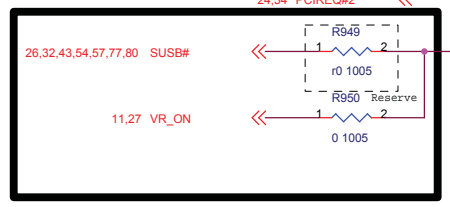
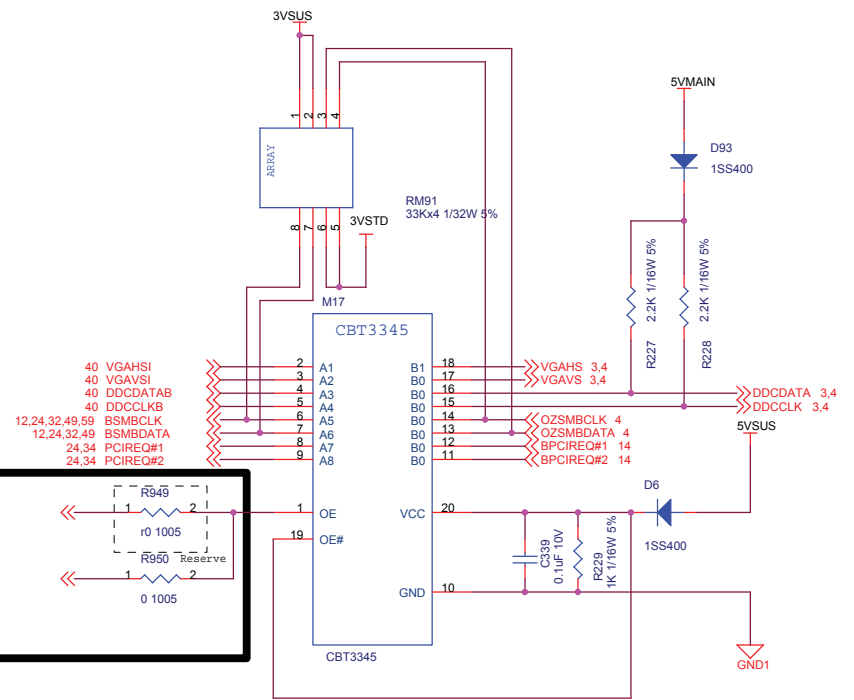
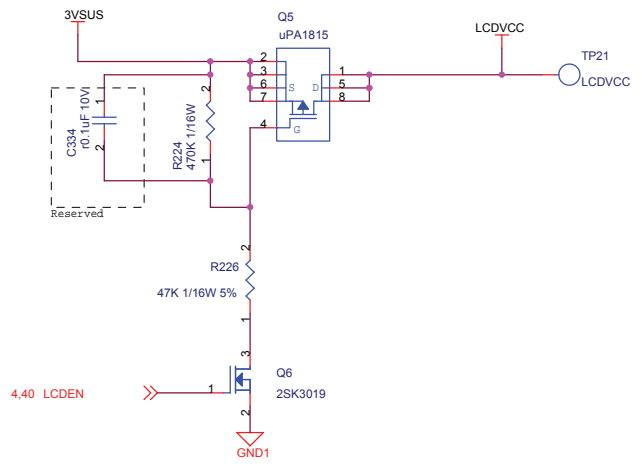
				名 称		ANISE-E2 04	
				图 号		C1CP051300-X4	
				番 号		提出先	
版	年月	設計	調査	承認	変更	内	
設計			調査		承認		
富士通株式会社							39 / 81



						名称		ANISE-E2 04	
						图番		C1CP051300-X4	
						提出先			
版	年月	設計	調査	承認	変更	内			
設計			調査		承認				
						富士通株式会社		40 / 81	

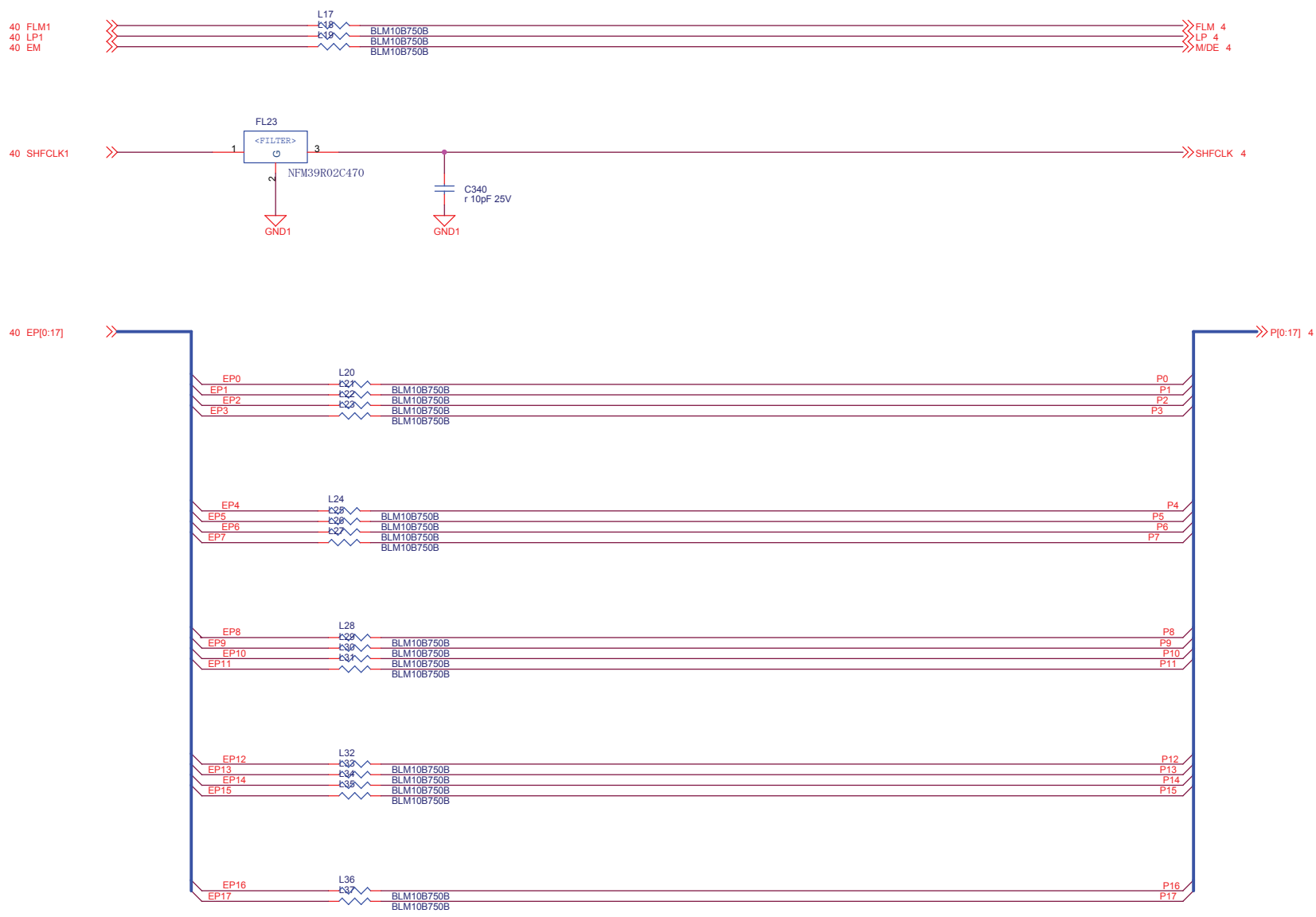


注) 入出力のコンデンサは極力TK11233AMの近くに配置すること。
各端子につながるパターンはできるだけ大きくとること。(5ピンは放熱用)
TK11233AMはM14の近くに配 uすること。



DACVCC, LCDVCC

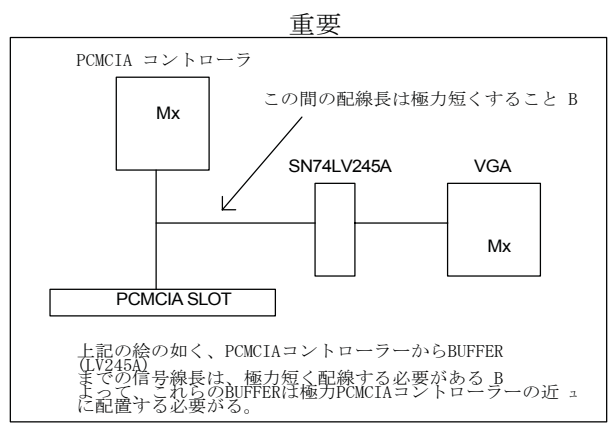
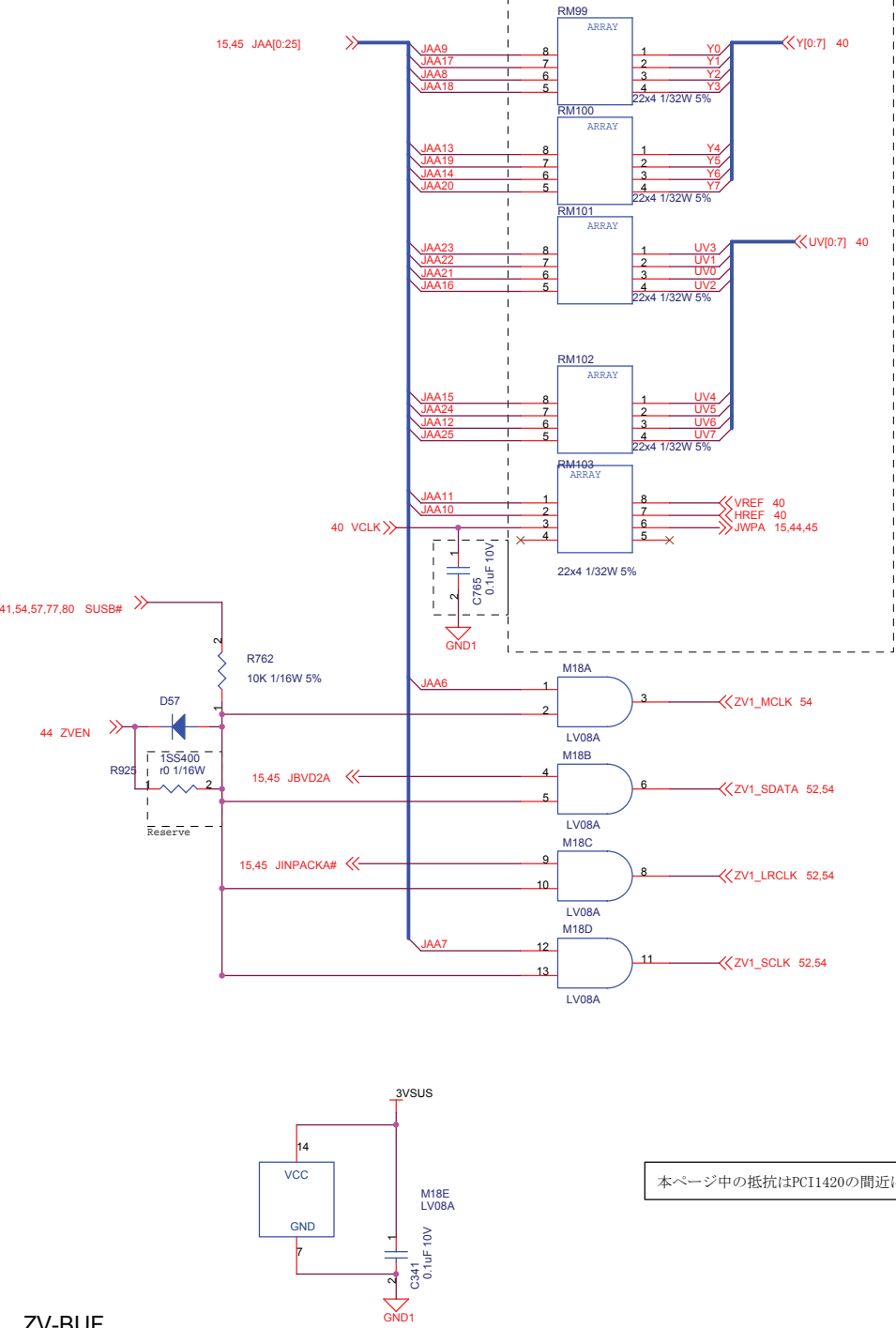
							名称	ANISE-E2 04	
							図番	C1CP051300-X#	
							提出先		
版	年月	設計	調査	承認	変更内容		富士通株式会社		
設計			調査		変更	承認	41 / 81		



LCD Dumping

						名称		ANISE-E2 04	
						图番		C1CP051300-X#	
						提出先			
版	年月	設計	調査	承認	変更内容		富士通株式会社		
設計			調査		変更	承認	42 / 81		

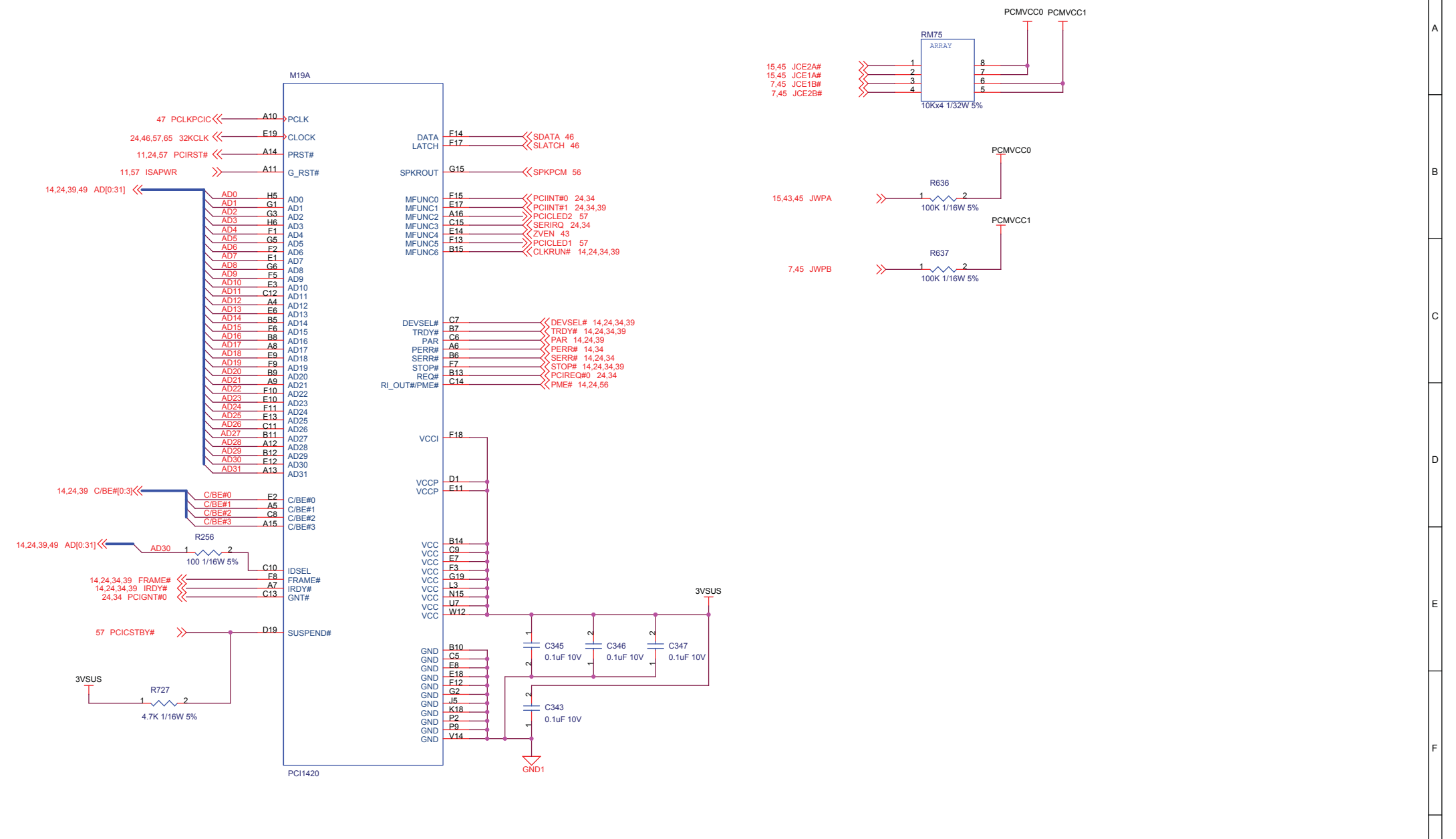
このグループ内での自由なピンスタブ可能



本ページ中の抵抗はPCI1420の間近に配線・配線のこと。

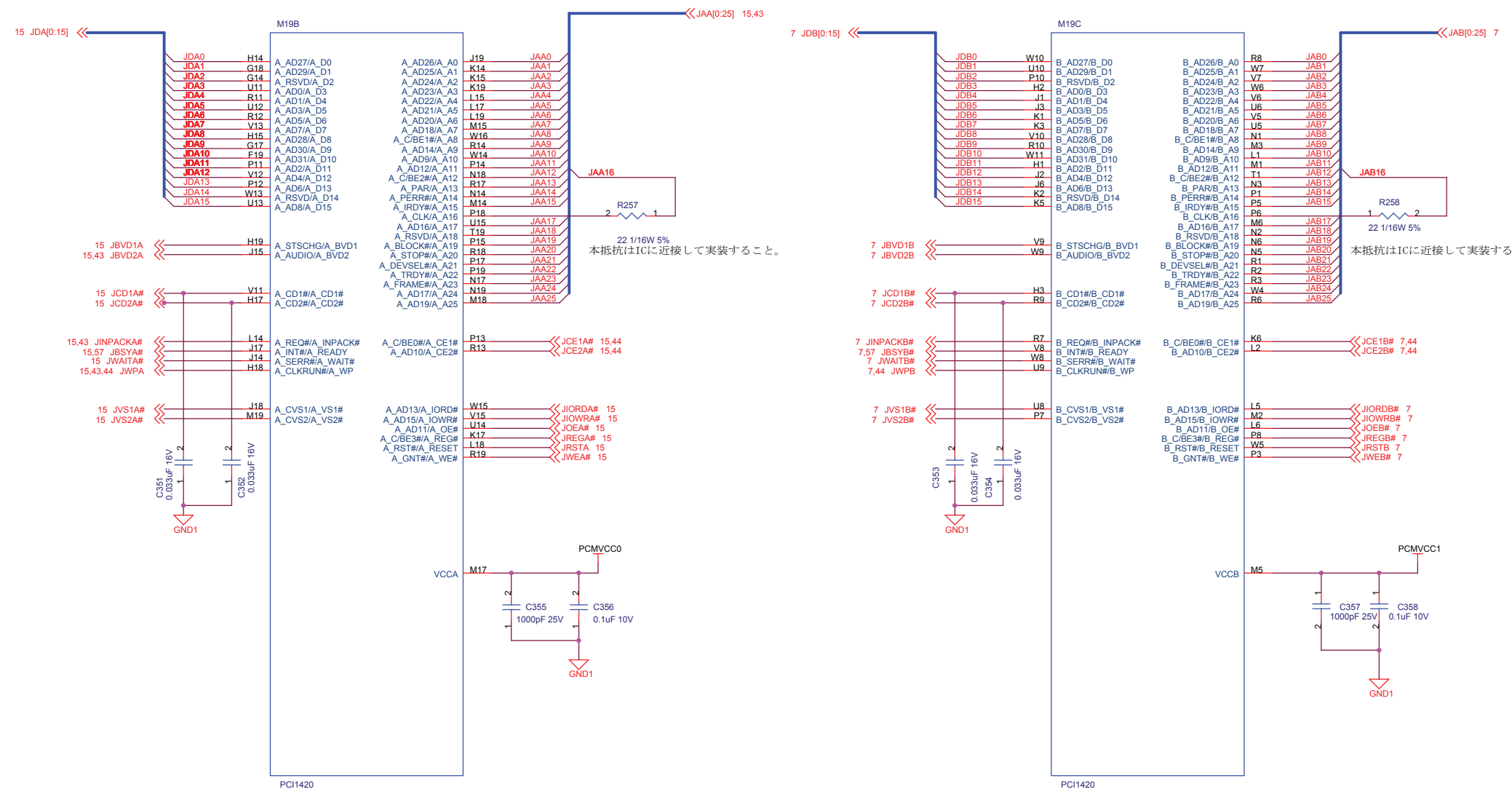
ZV-BUF

						名称	ANISE-E2 04	
						図番	C1CP051300-X#	
						提出先		
版	年月	設計	調査	承認	変更内容	富士通株式会社		
設計			調査		承認	43 / 81		



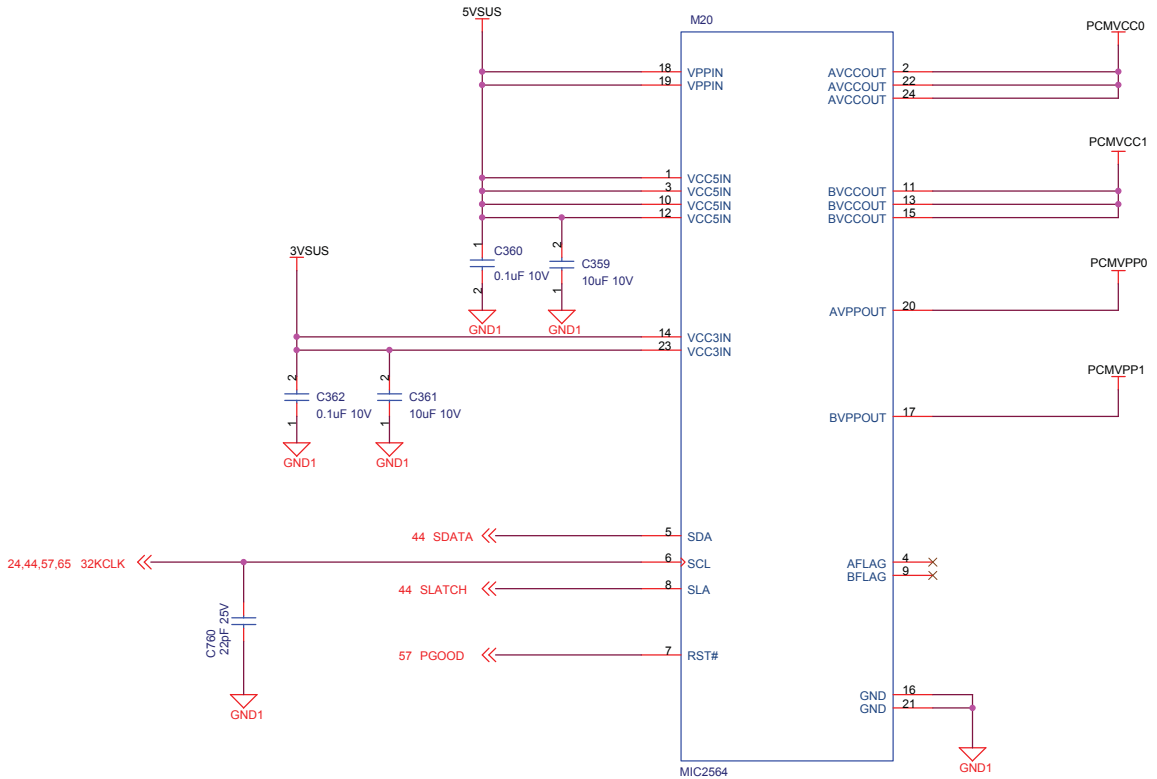
CARDBUS CTRL -1

						名称		ANISE-E2 04	
						图番		C1CP051300-X#	
						提出先			
版	年月	設計	調査	承認	変更内		富士通株式会社		
設計			調査		変更	承認	44 / 81		



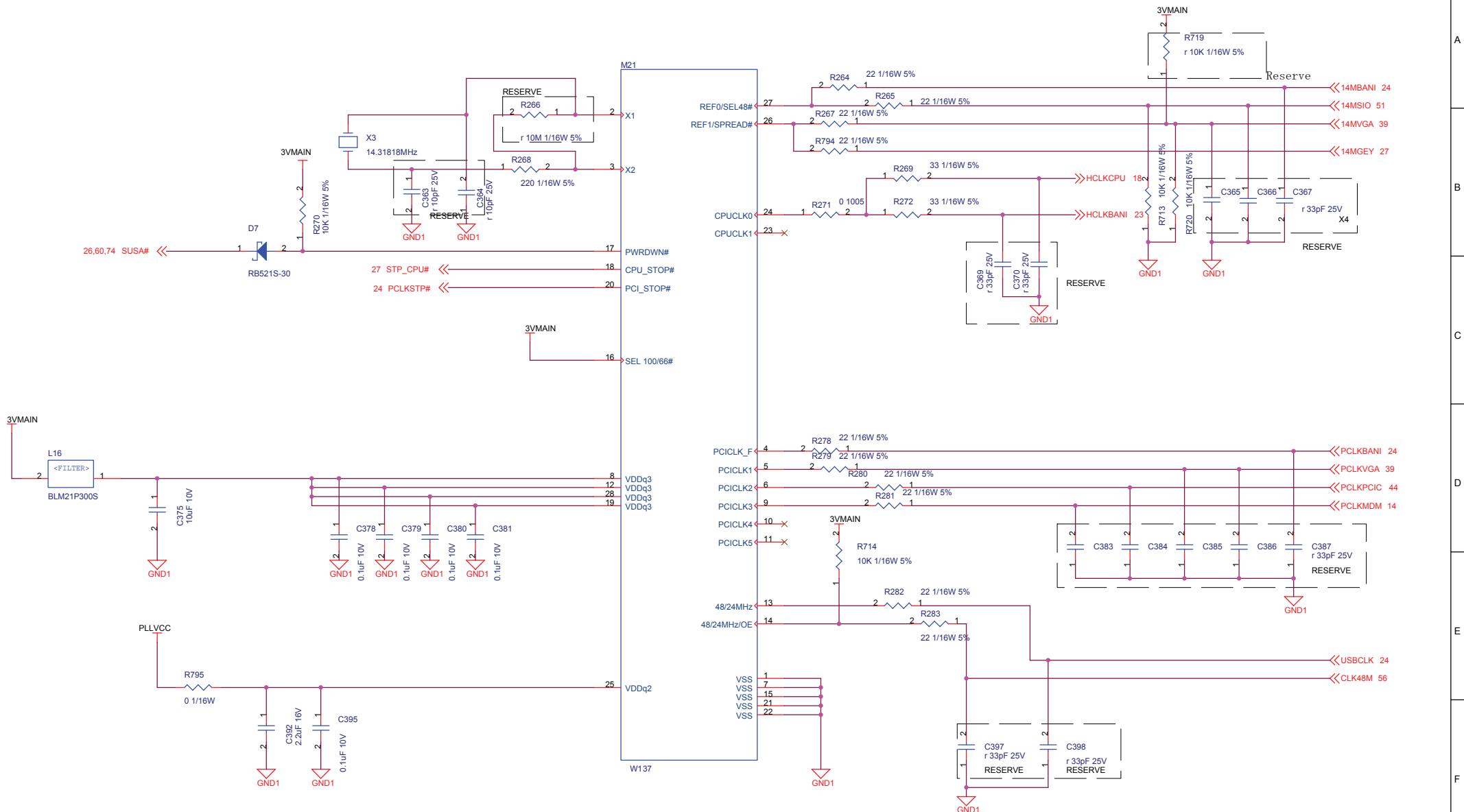
注 JAA16, JAB16はCardBus時クロック信号になるのでGND1にてガードを行うこと。

名	ANISE-E2 04
図	C1CP051300-X#
番	
版	
年	
月	
設計	
調査	
承認	
変更	
承認	
富士通株式会社	45 / 81



CARDBUS POWER

						名称	ANISE-E2 04	
						图番	C1CP051300-X4	
版	年月	設計	調査	承認	変更内容	提出先		
設計			調査		変更	承認	富士通株式会社	
							46	81

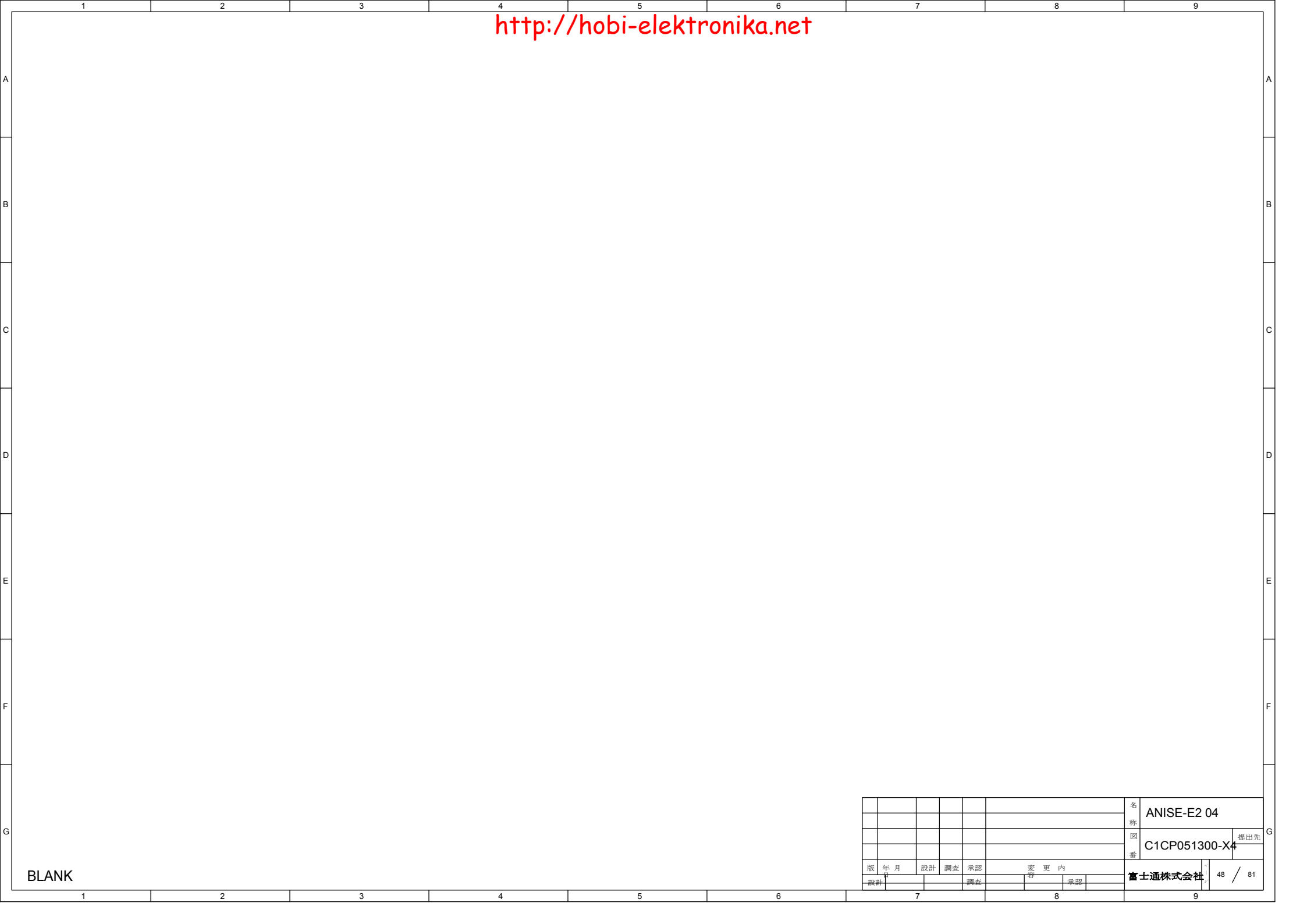


X3, C363, C364は、M21の4, 5ピン付近に配置、配線すること。
 また、パターン下にバス等の高速な信号は走らせないこと。
 すべてのクロックは、極力4, 5層を走らせること。

Very Important: See clocking guidelines for tracing clock line and must follow that requirement.
 (別紙3)

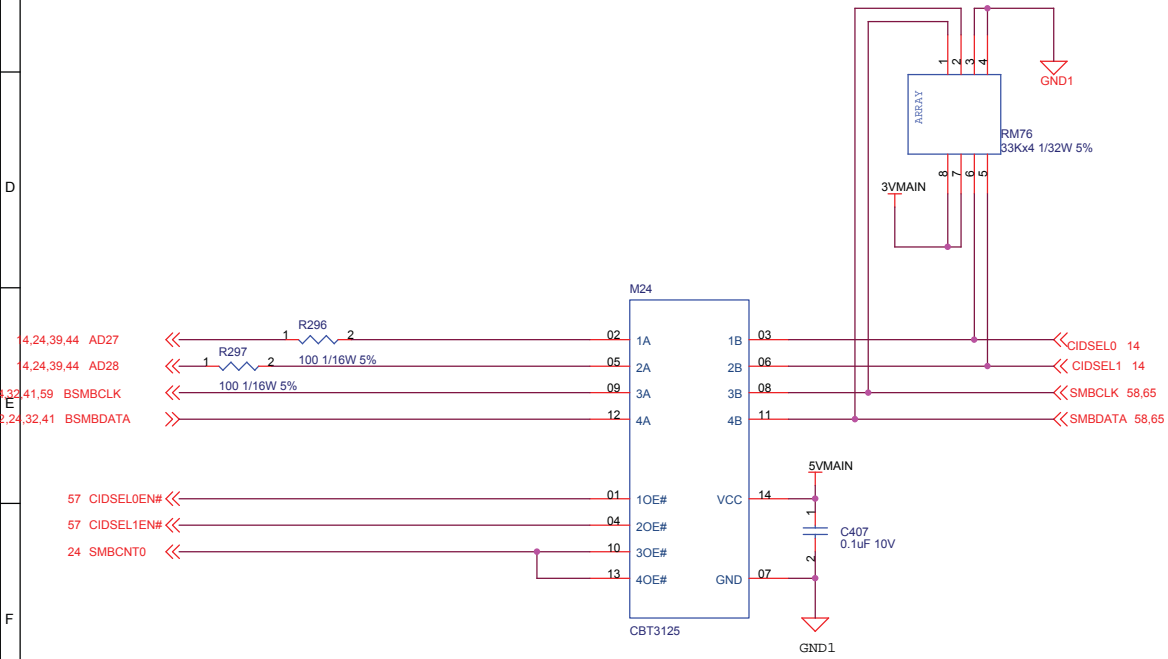
CLOCK GENERATOR

						名	ANISE-E2 04	
						称		
						図	C1CP051300-X#	
						番	提出先	
版	年月	設計	調査	承認	変更	内		
設計			調査		承認	富士通株式会社		
							47	81



BLANK

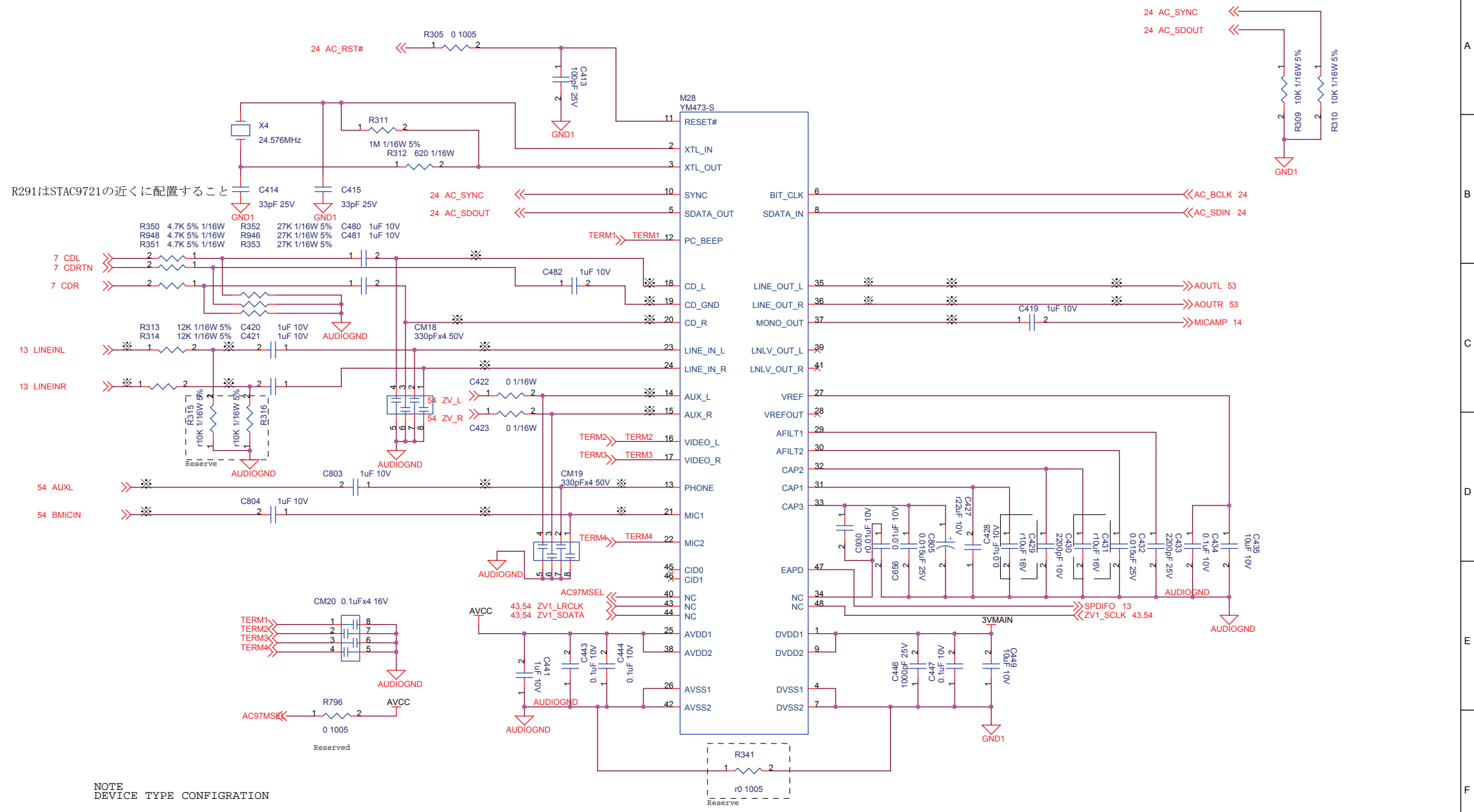
									名称	ANISE-E2 04	
									图番	C1CP051300-X#	提出先
版	年月	設計	調査	承認	変更内						
設計			調査		変更		承認			富士通株式会社	48 / 81



注) M24 はモデム/LANコネクタの近くに配置し、AD27, AD28, CIDSEL0, CIDSEL1は最短配線を実施すること。

IDSEL Q-SW

						名称	ANISE-E2 04	
						図番	C1CP051300-X#	提出先
						番		
版	年月	設計	調査	承認	変更内			富士通株式会社
設計			調査		変更	承認	49 / 81	



NOTE
DEVICE TYPE CONFIGURATION

本項中※印のついたパターンは、AUDIOGNDでガードし、その上下はAUDIOGNDのパタパターンで覆うこと。

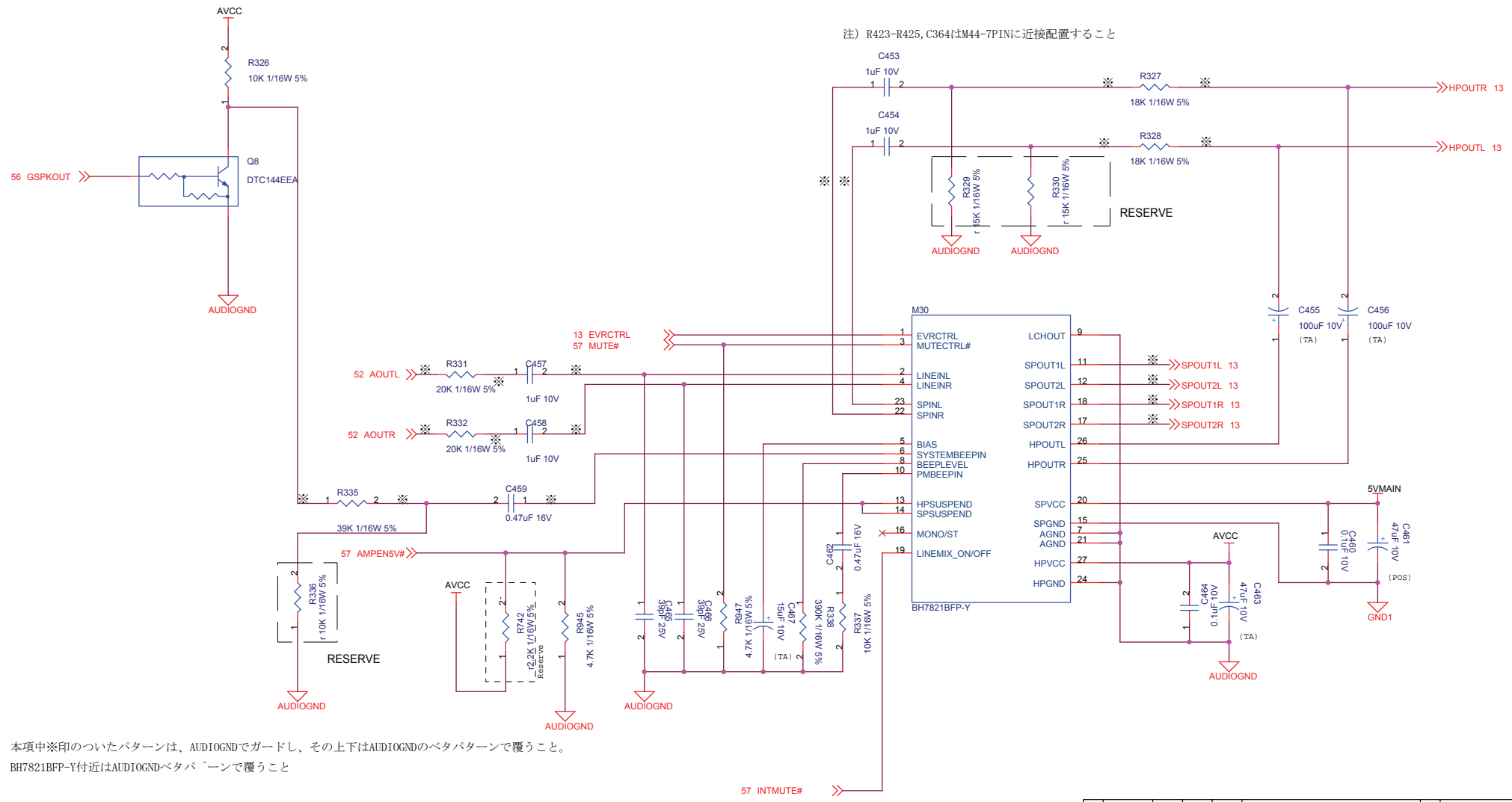
注) CDL, CDRは、基板端面より、CDRTN, CDL, CDR, CDRTNの順 /
ガードして布線し、その上下層はCDRTNにてCDL, CDR, CDRTN
ガードする幅にて布線必ず実施のこと B
CDLIN, CDRIN, CDRINIについても同様の布線処理が必要 B

-NOTE
M29未搭載モデルは、C422, C423 0 1/16W
CA53003-0452を搭載

						名称	ANISE-E2 04	
						図番	C1CP051300-X4	
						提出先	富士通株式会社	
版	年月	設計	調査	承認	変更	承認	52 / 81	
設計								

全項AUDIO AREA

本項中※印のついたパターンは、AUDIOGNDでガードし、その上下はAUDIOGNDのベタパターンで覆うこと。

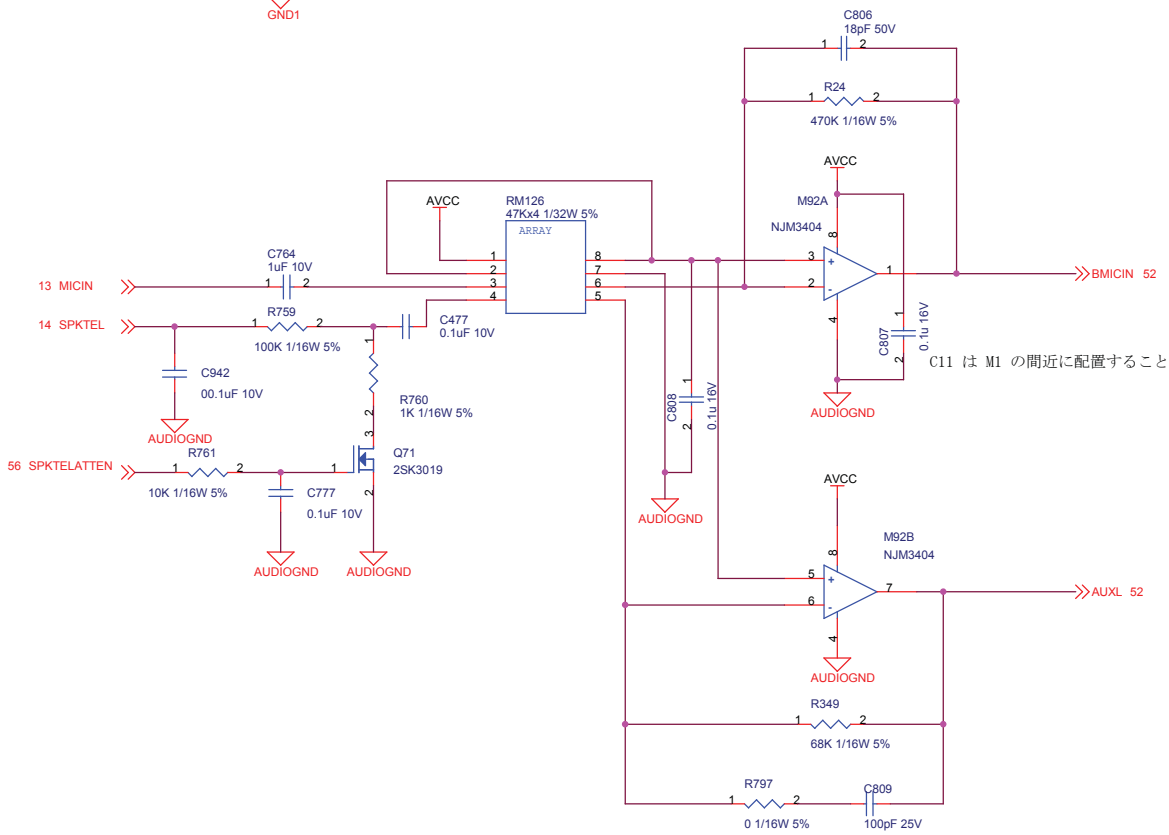
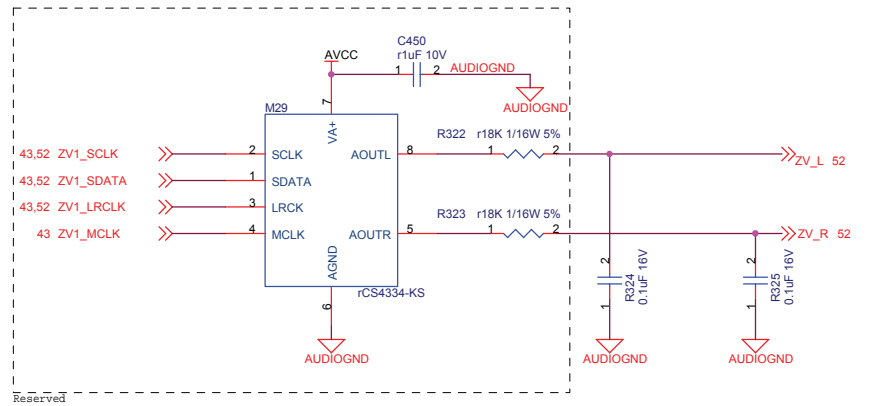
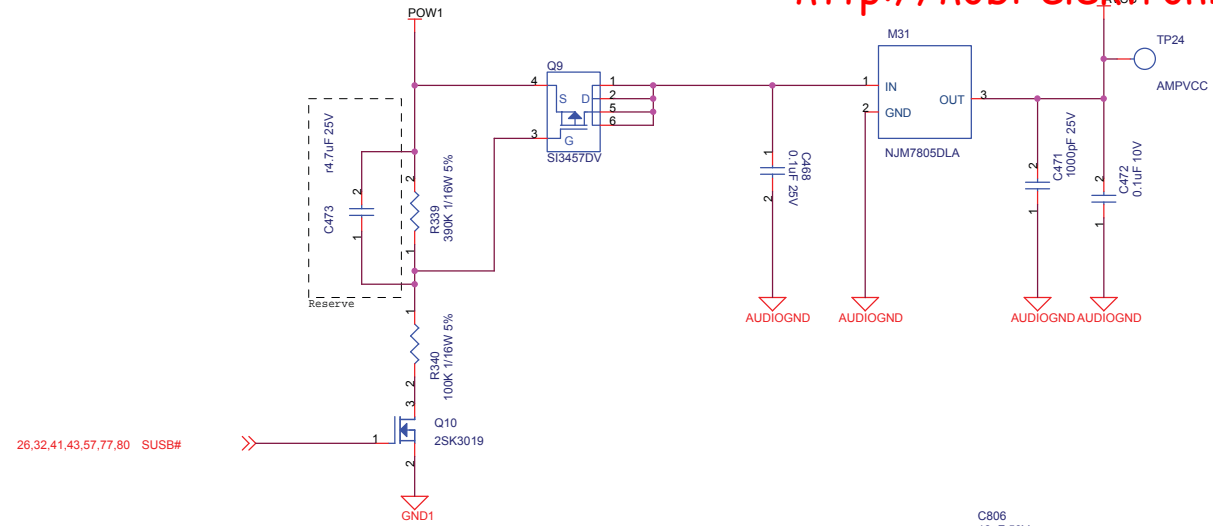


本項中※印のついたパターンは、AUDIOGNDでガードし、その上下はAUDIOGNDのベタパターンで覆うこと。
BH7821BFP-Y付近はAUDIOGNDベタパターンで覆うこと

AUDIO AMP

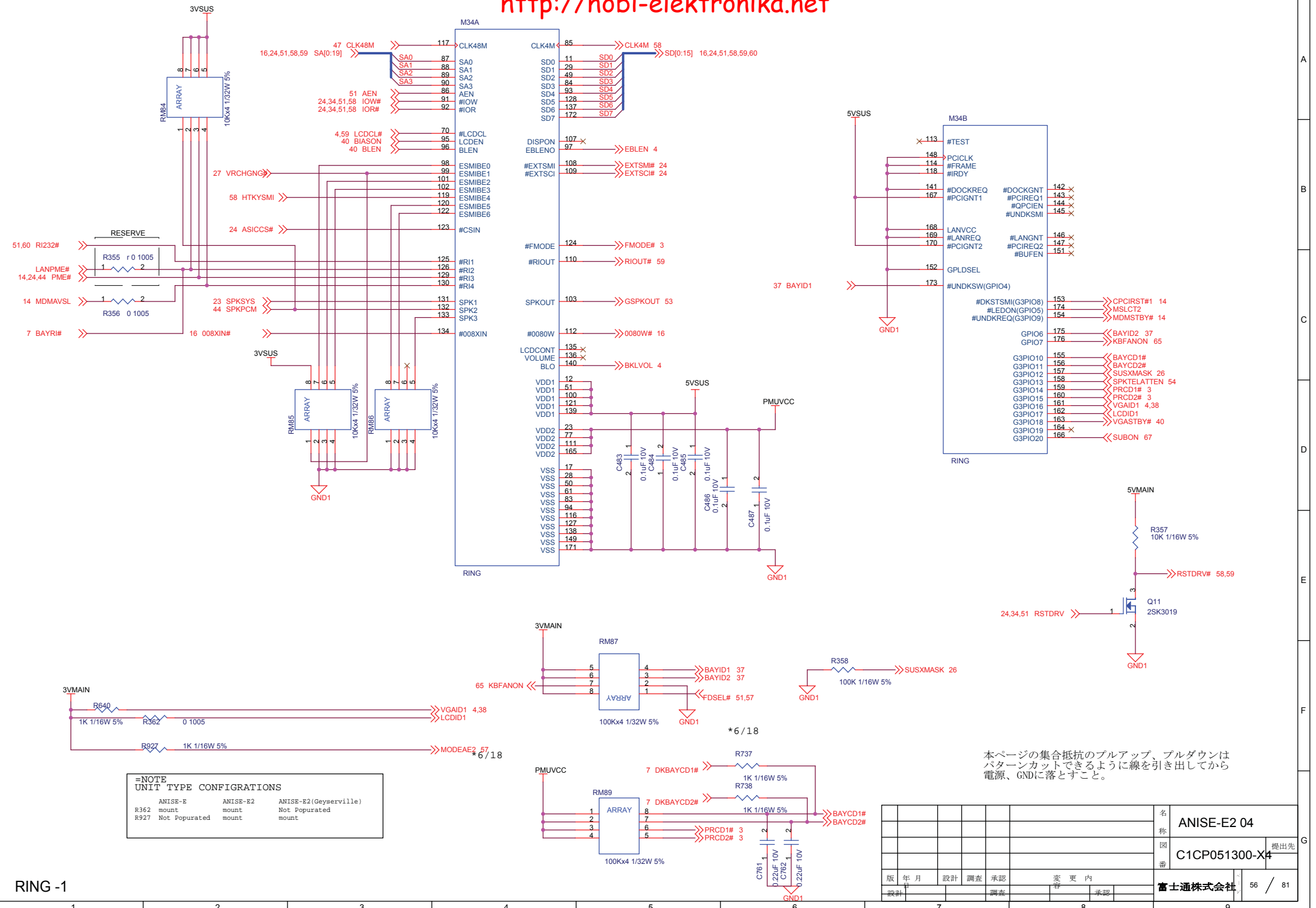
						名称		ANISE-E2 04	
						図番		C1CP051300-X4	
						提出先			
版	年月	設計	調査	承認	変更内				
設計				調査	変更	承認	富士通株式会社		
							53 / 81		

全項AUDIO AREA



AVCC 各信号パターンをGNDAUDで両側をガードすること。

						名称		ANISE-E2 04	
						図番		C1CP051300-X#	
						提出先			
版	年月	設計	調査	承認	変更内容		富士通株式会社		
設計			調査		変更	承認	54 / 81		

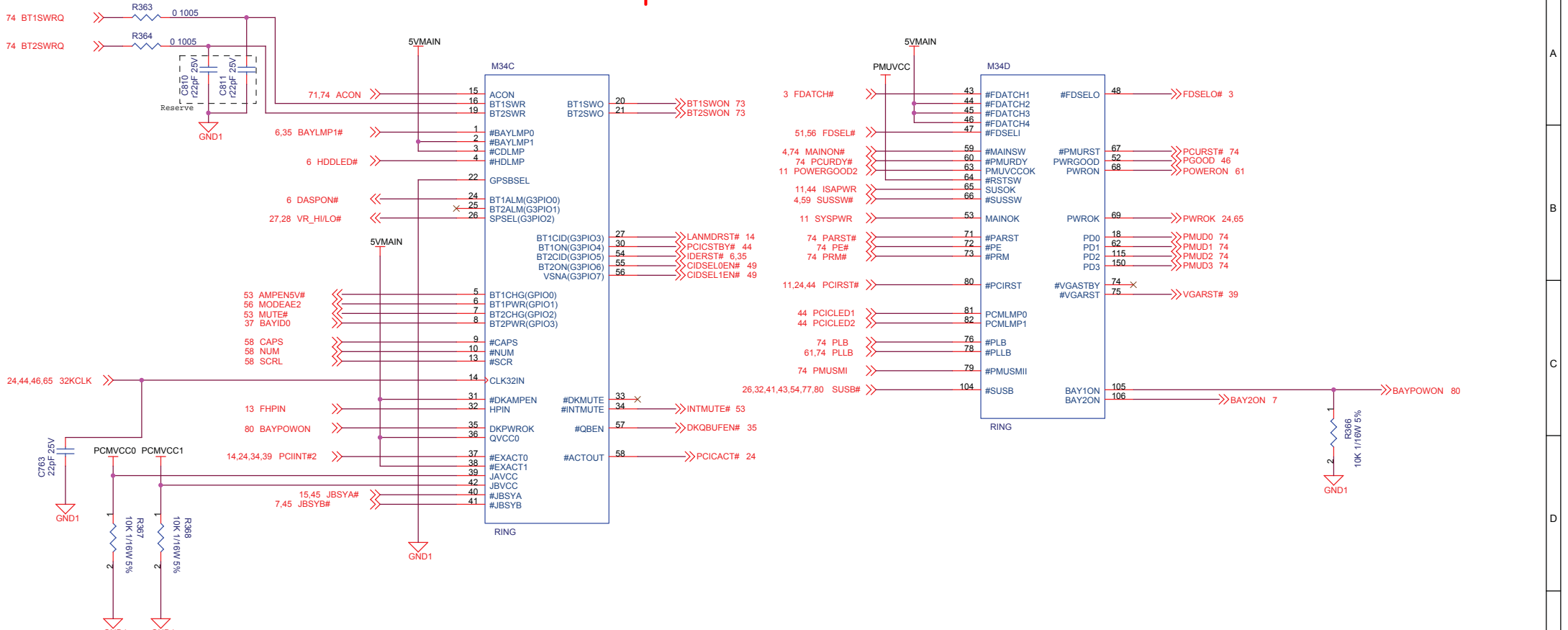


**=NOTE
UNIT TYPE CONFIGURATIONS**

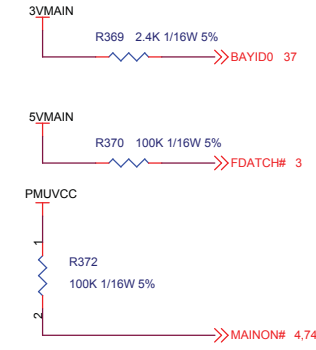
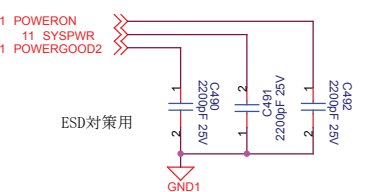
ANISE-E	ANISE-E2	ANISE-E2(Geyserville)
R362 mount	mount	Not Popurated
R927 Not Popurated	mount	mount

本ページの集合抵抗のプルアップ、プルダウンは
パターンカットできるように線を引き出してから
電源、GNDに落とすこと。

版						設計		承認		変更内		富士通株式会社	
設計						調査		承認		承認		56 / 81	

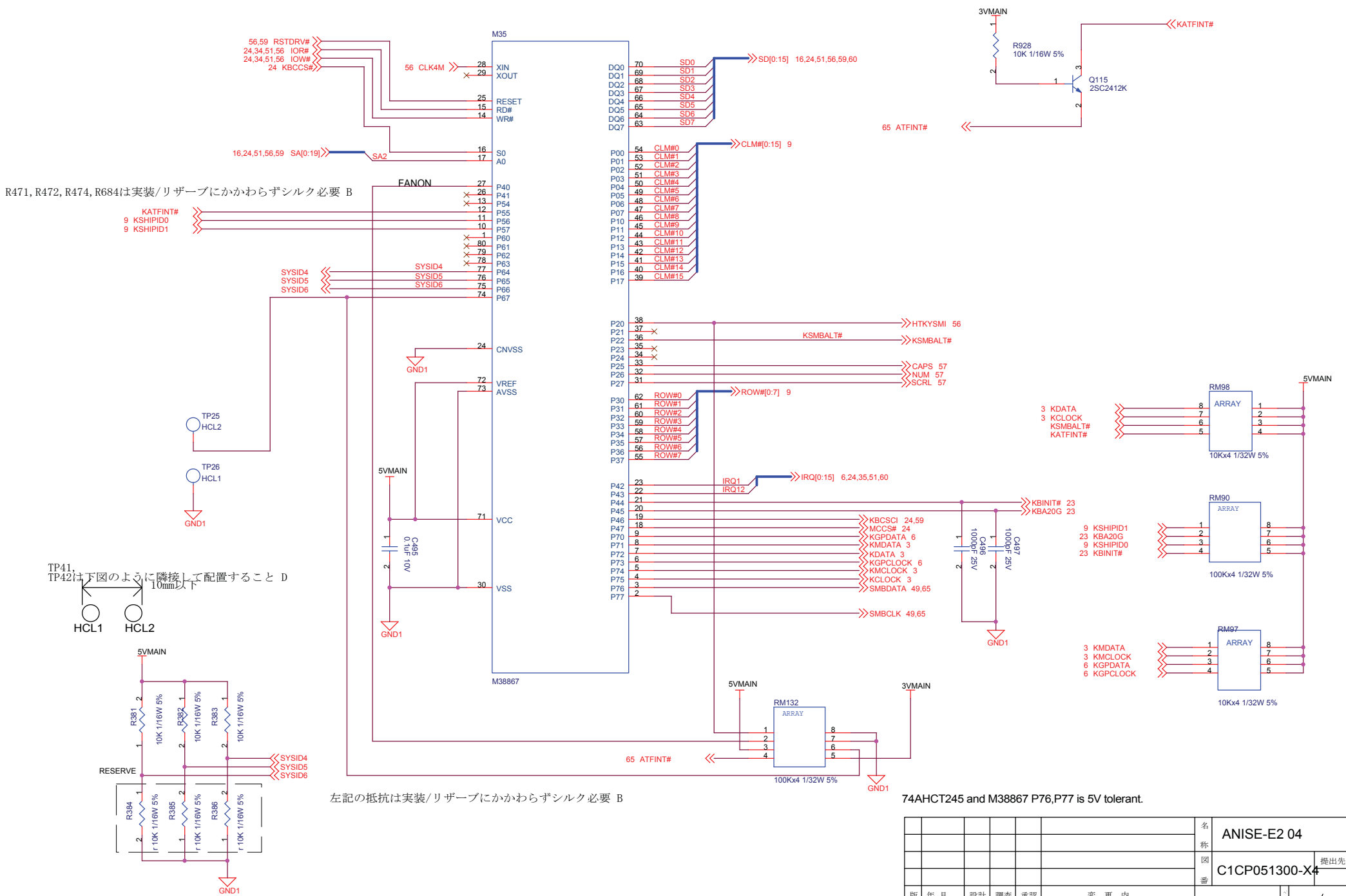


上記抵抗は、本ICの近傍に配置すること B



RING-2

							名称	ANISE-E2 04	
							図番	C1CP051300-X#	
							提出先		
版	年月	設計	調査	承認	変更内		富士通株式会社		
設計			調査		変更	承認	57 / 81		



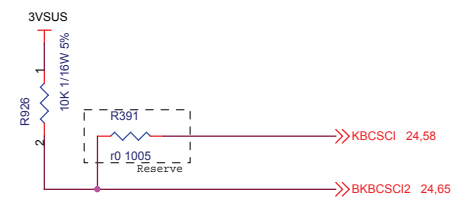
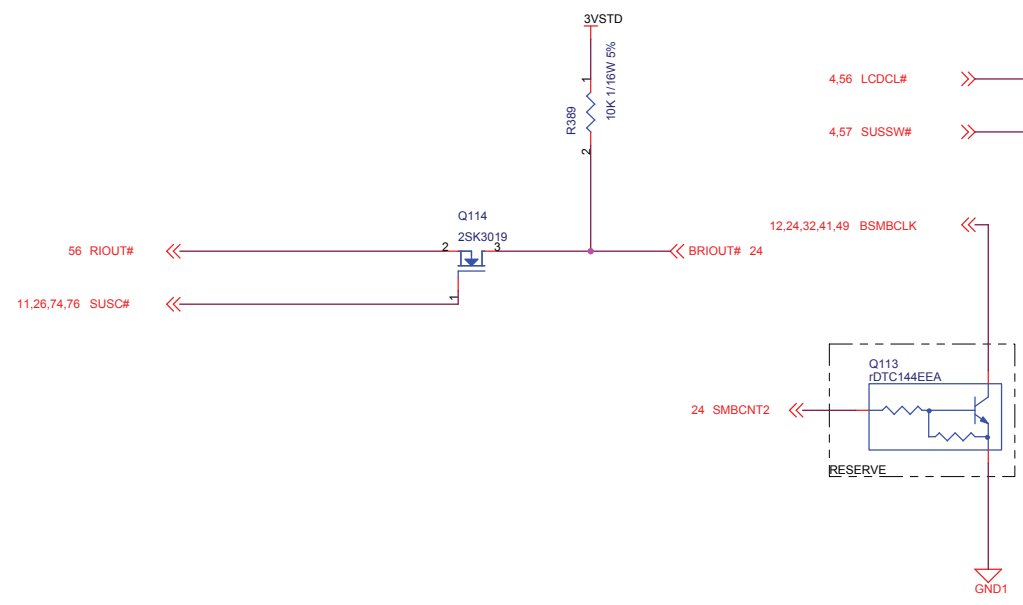
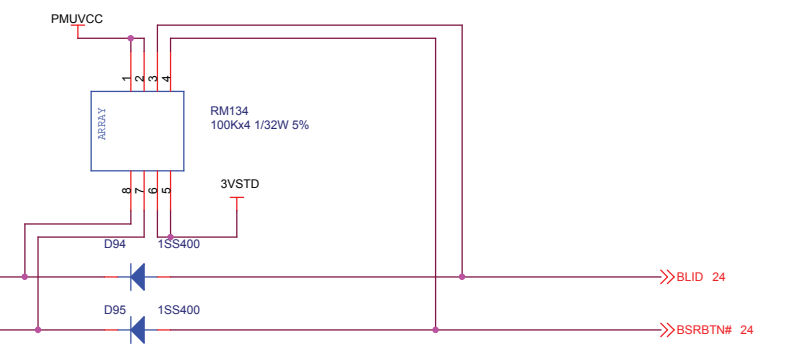
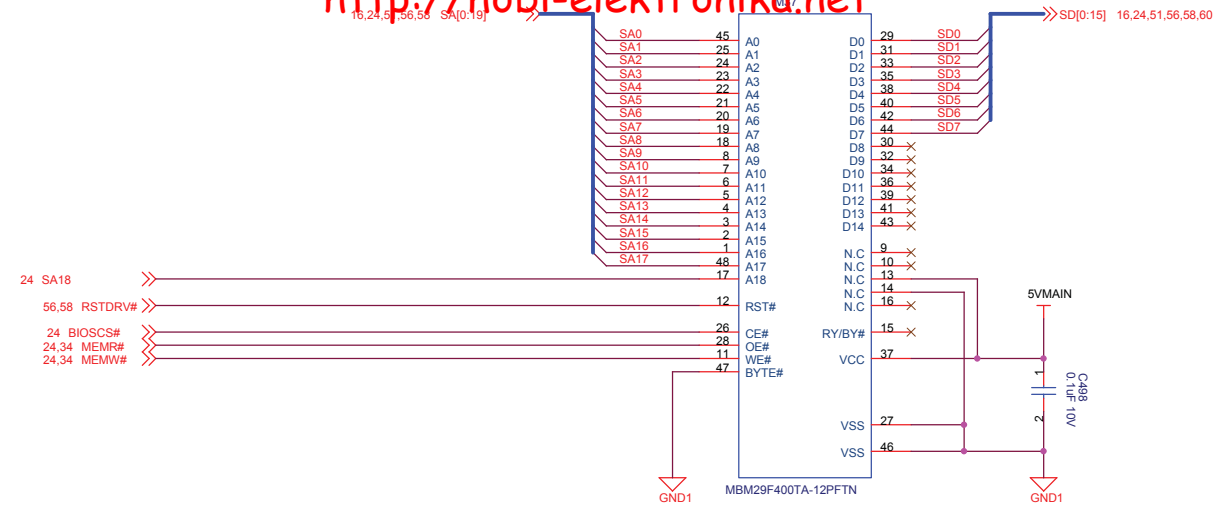
R471, R472, R474, R684は実装/リザーブにかかわらずシルク必要 B

左記の抵抗は実装/リザーブにかかわらずシルク必要 B

TP41, TP42は下図のように隣接して配置すること D
10mm以下

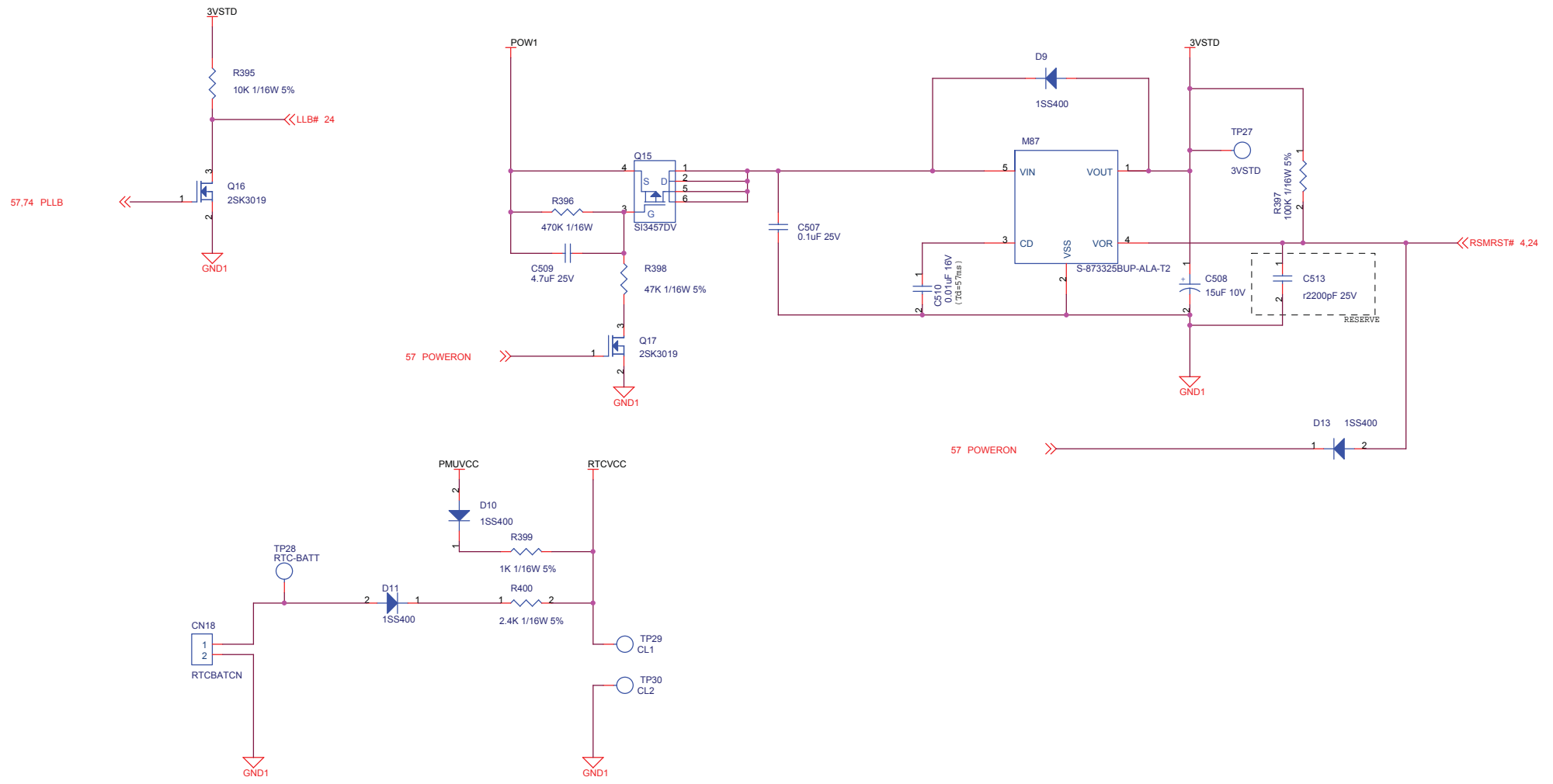
74AHCT245 and M38867 P76,P77 is 5V tolerant.

							名	ANISE-E2 04	
							図	C1CP051300-X#	
							番	提出先	
版	年月	設計	調査	承認	変更内		富士通株式会社		
設計			調査		変更	承認	58 / 81		



BIOS ROM,MISC

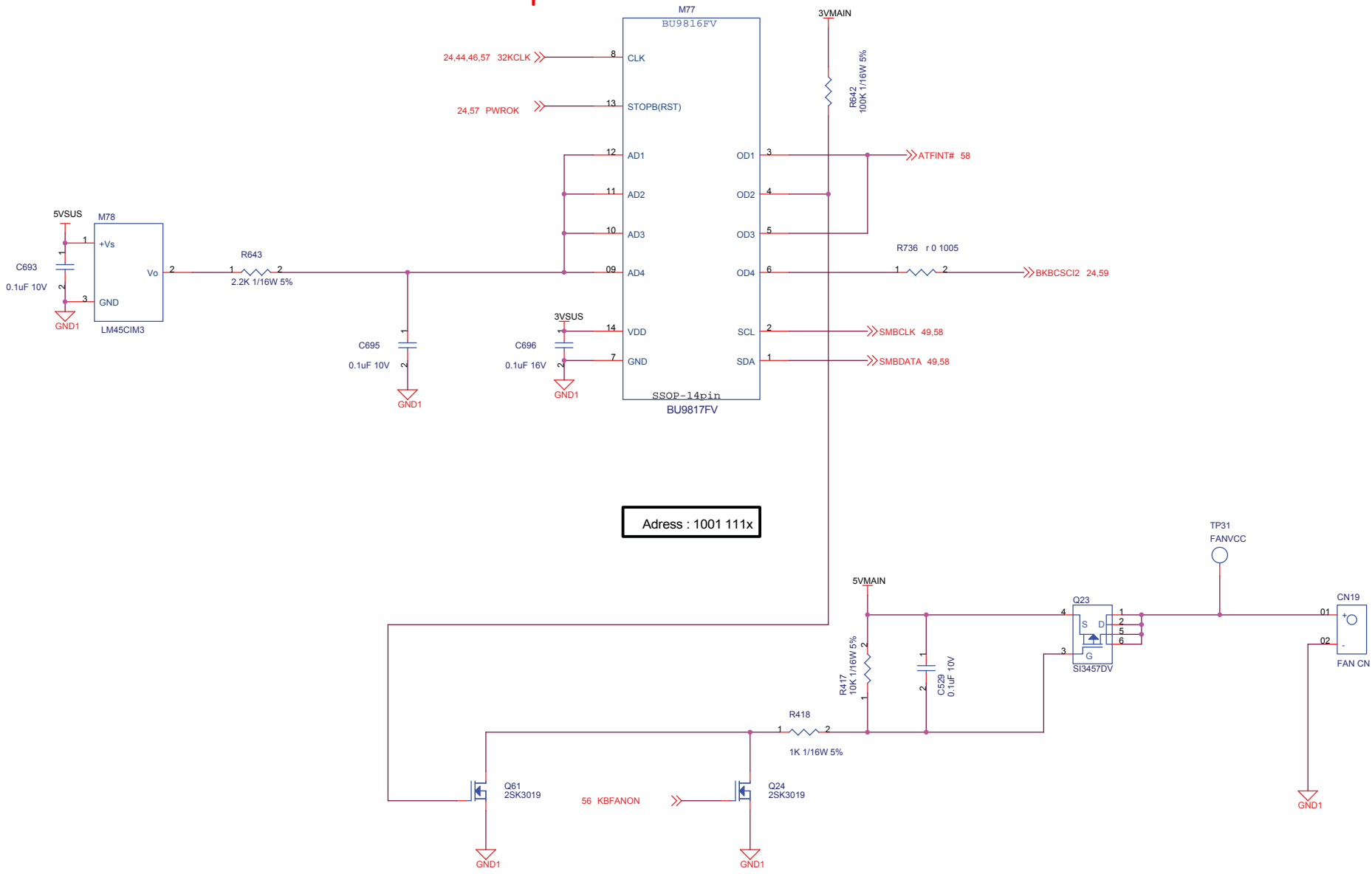
						名称		ANISE-E2 04	
						图番		C1CP051300-X#	
						提出先			
版	年月	設計	調査	承認	変更内		富士通株式会社		
設計			調査		変更	承認	59 / 81		



CL1, CL2は近接させて、部品実装後も接触可能な場所に、配置すること。

3VSTD, RTCVCC, LLB#

						名称	ANISE-E2 04	
						図番	C1CP051300-X4	
						提出先	富士通株式会社	
版	年月	設計	調査	承認	変更	内		
設計			調査		承認			
							61	81

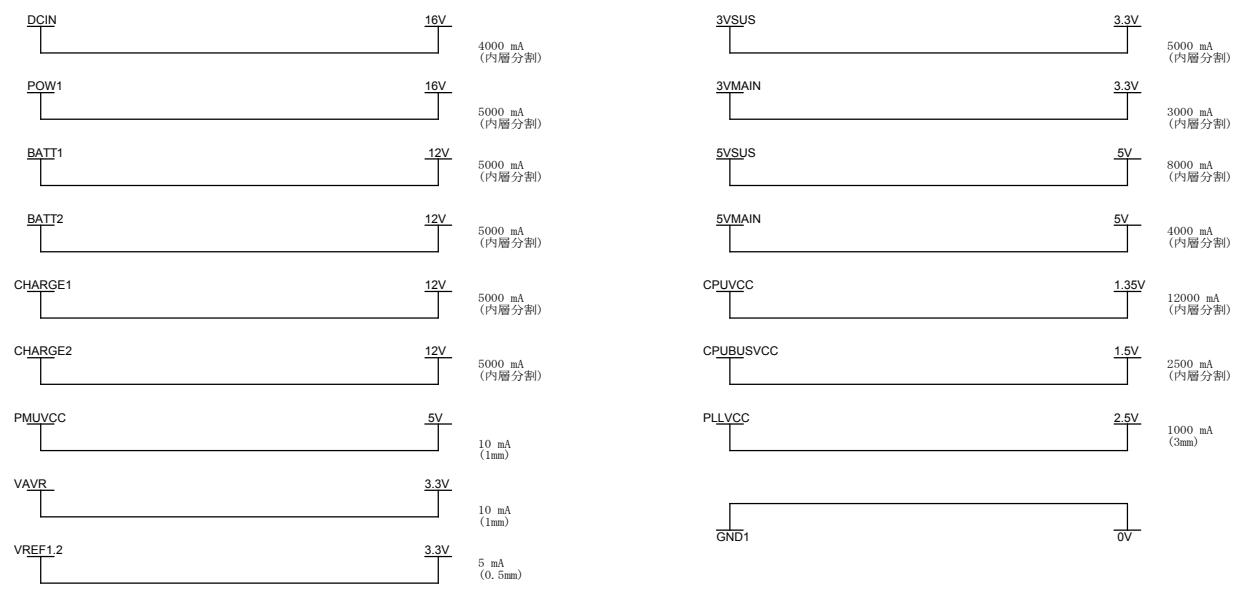


Adress : 0001 111x

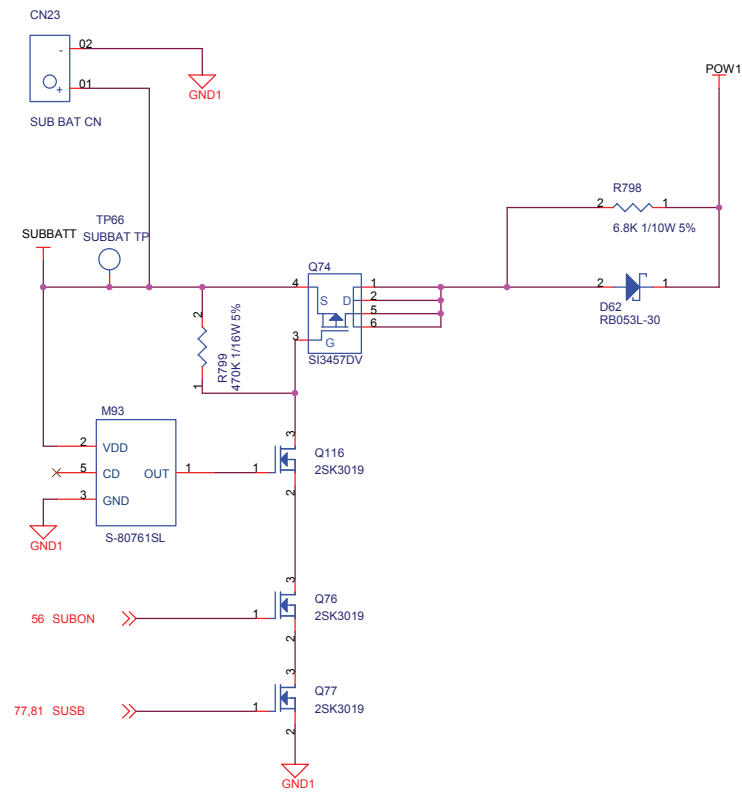
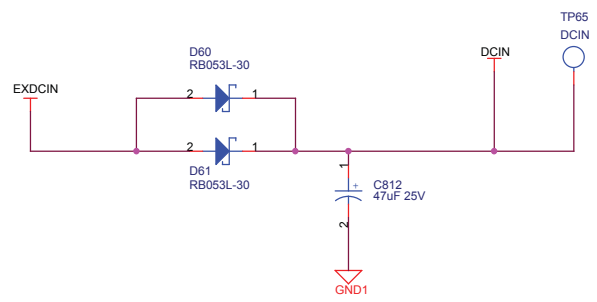
						名称		ANISE-E2 04	
						图番		C1CP051300-X4	
						提出先			
版	年月	設計	調査	承認	変更内		富士通株式会社		
設計			調査		変更	承認	65 / 81		

Anise-E2 POWER

PAGE	CONTENTS
66	POW INDEX
67	DC-IN
68	BATTx_CN
69	POW1,BTxDCHG
70	BTxVOL
71	ACON,BTxALM
72	5VSTB,PMUVCC,VREF
73	SCONTx
74	PMU
75	BUS SW
76	5VSUS,3VSUS
77	CPUVCC
78	CHARGER
79	CPUVCCP,PLLVCC
80	5VMAIN,3VMAIN,BAYVCC

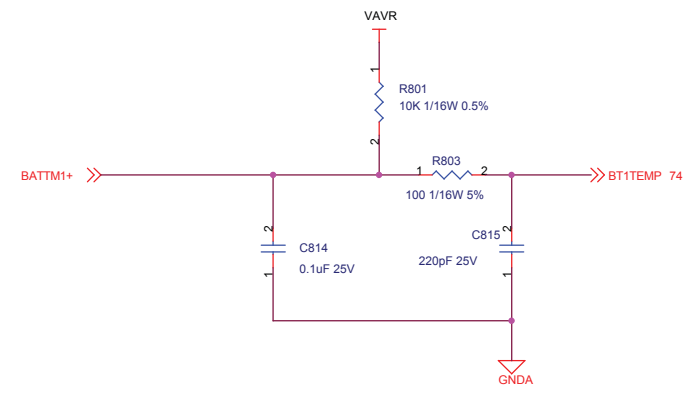
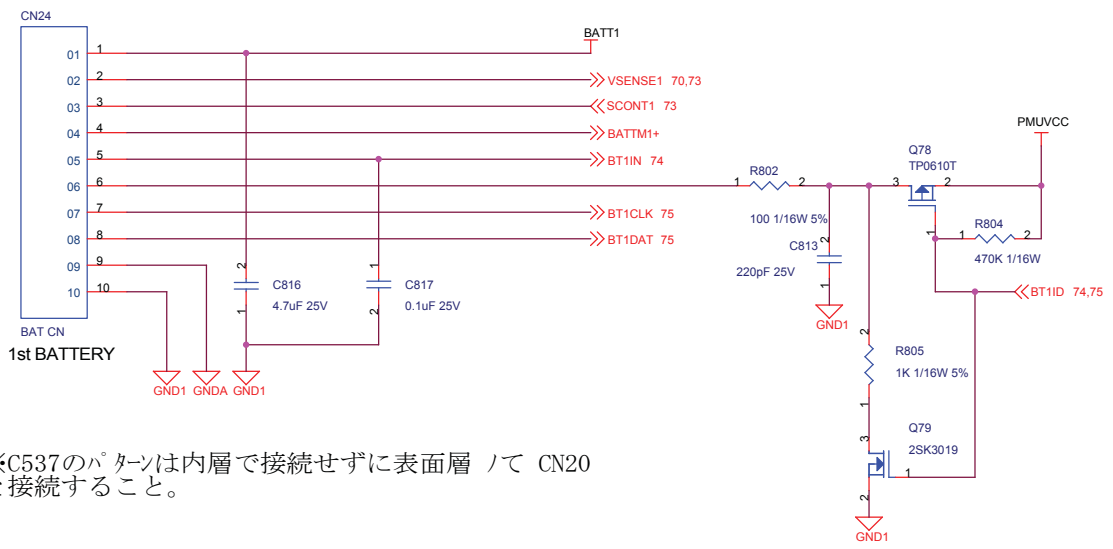


						名称	ANISE-E2 04	
						图番	C1CP051300-X#	
						提出先		
版	年月	設計	調査	承認	変更	承認	富士通株式会社	
設計			調査		容	承認	66 / 81	

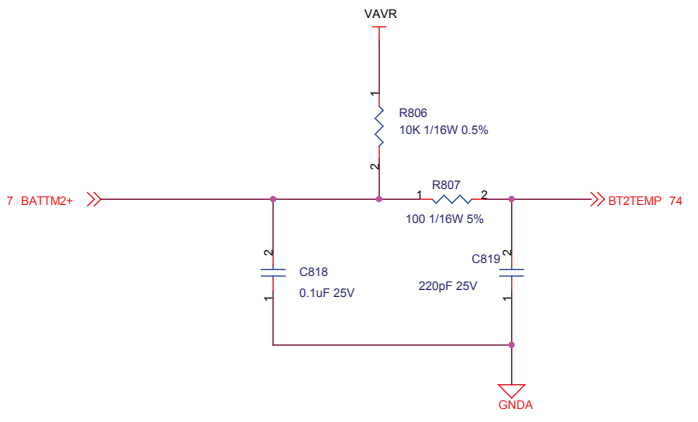
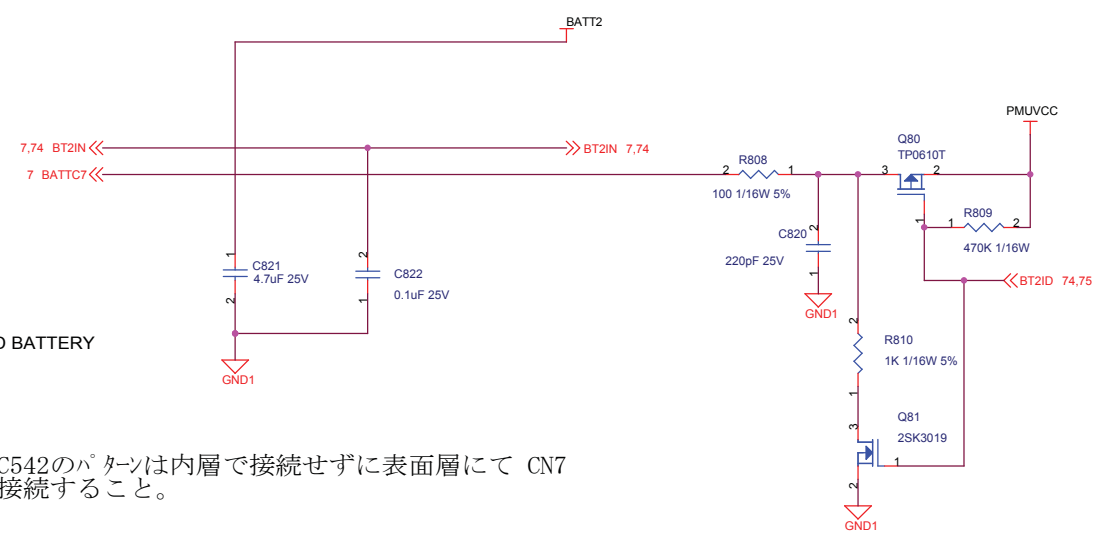


DC-IN

						名称		ANISE-E2 04	
						图番		C1CP051300-X4	
						提出先			
版	年月	設計	調査	承認	変更内容		富士通株式会社		
設計			調査		変更	承認	67 / 81		



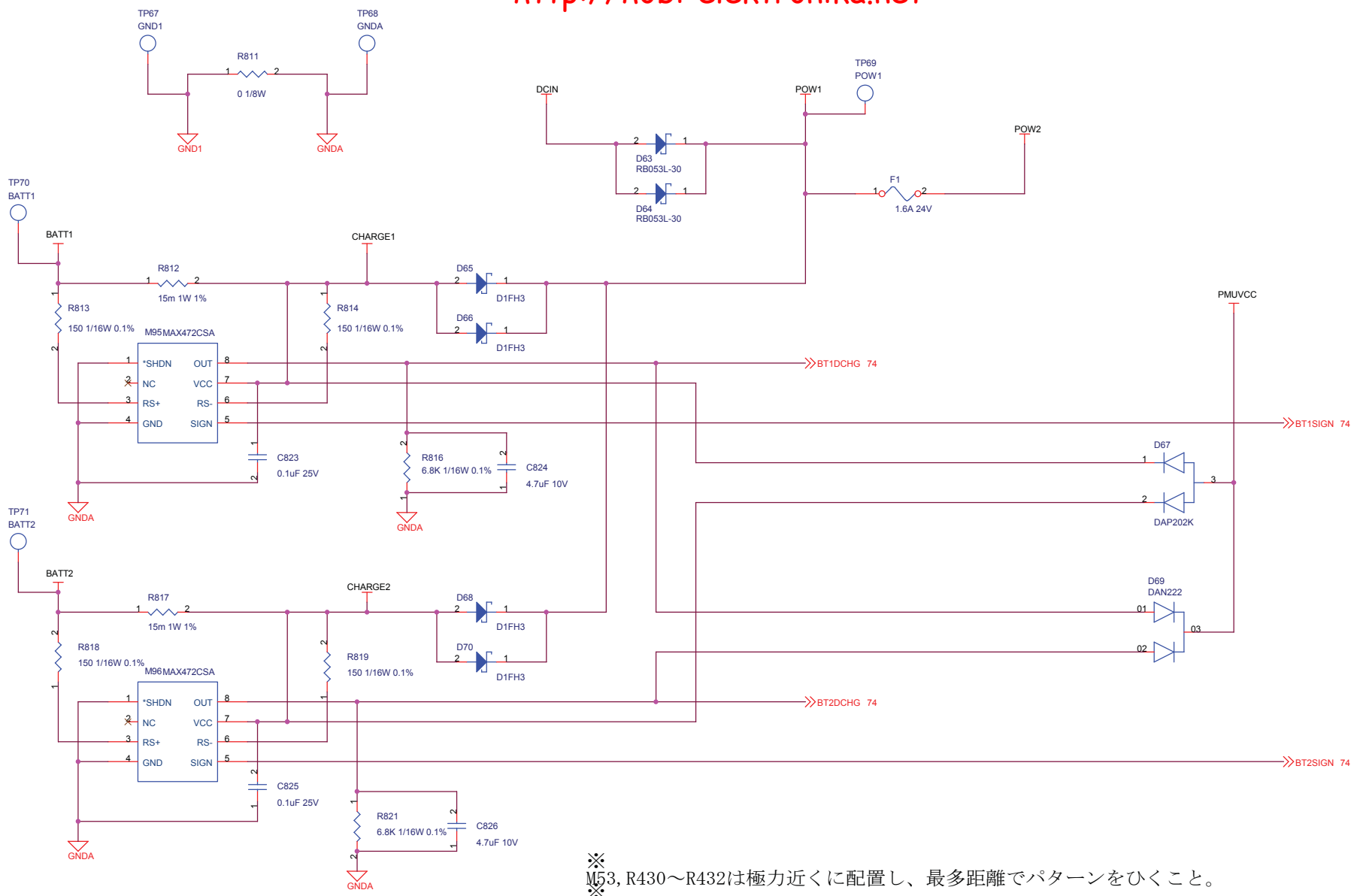
※C537のパターンは内層で接続せずに表面層にて CN20 と接続すること。



※C542のパターンは内層で接続せずに表面層にて CN7 と接続すること。

BATTx_CN

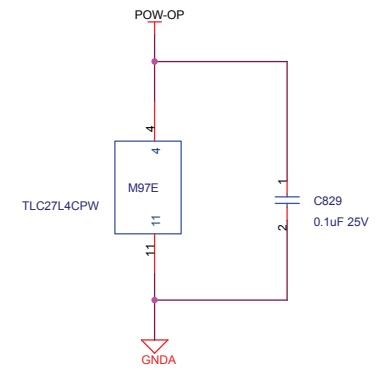
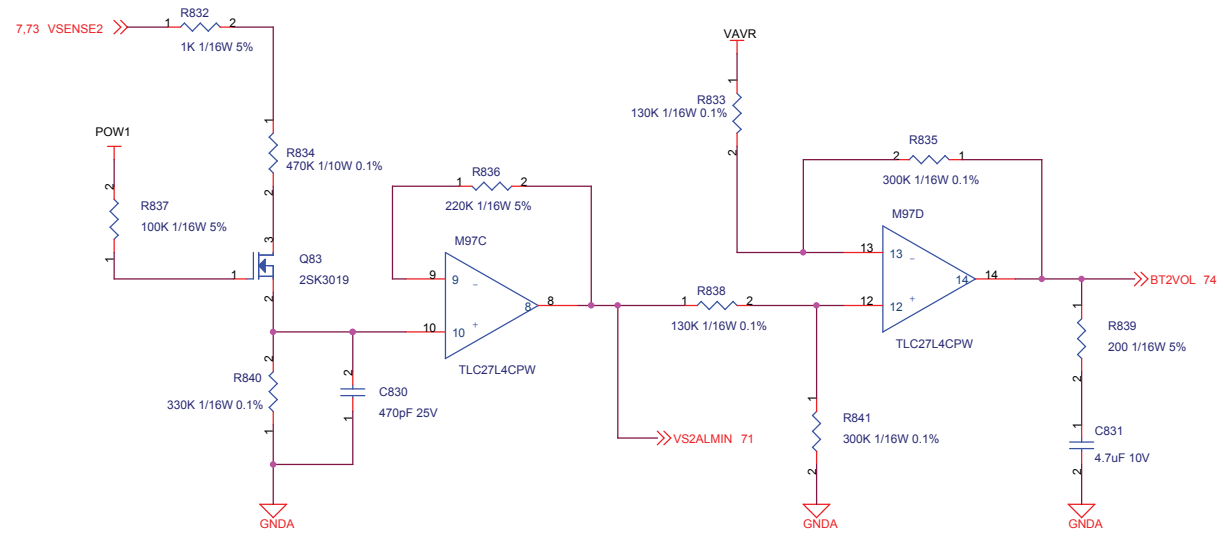
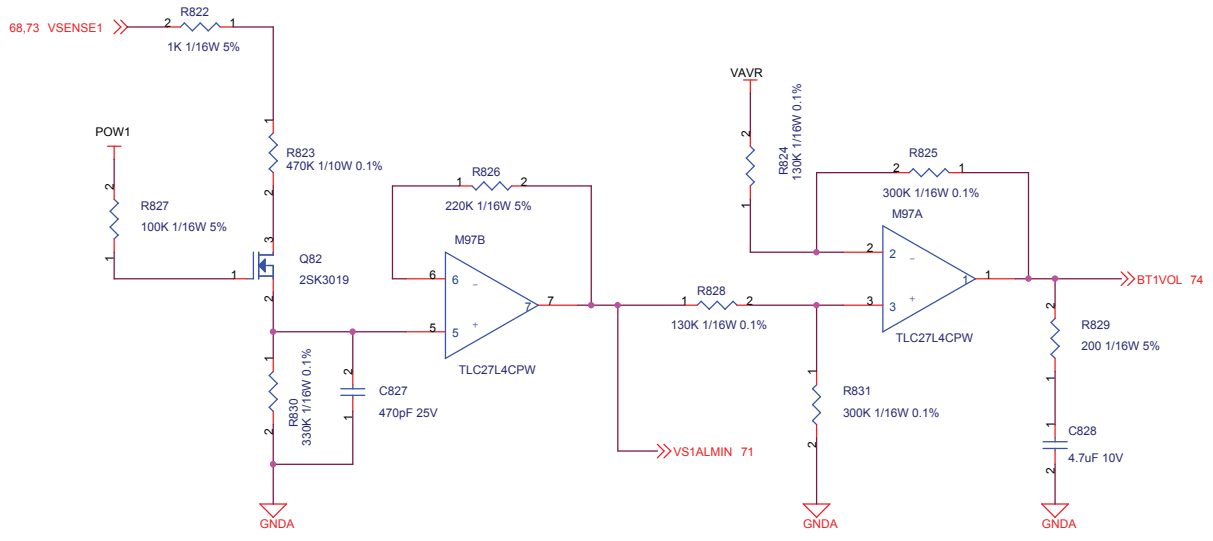
						名称		ANISE-E2 04	
						図番		C1CP051300-X4	
						提出先			
						番			
版	年月	設計	調査	承認	変更内				
設計			調査		変更	承認	富士通株式会社		
							68 / 81		



※ M53, R430~R432は極力近くに配置し、最多距離でパターンをひくこと。
 ※ M54, R435~R437は極力近くに配置し、最短距離でパターンをひくこと。

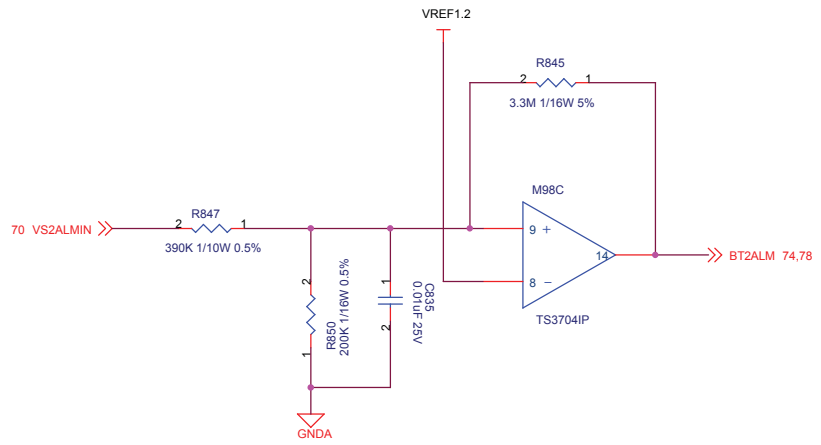
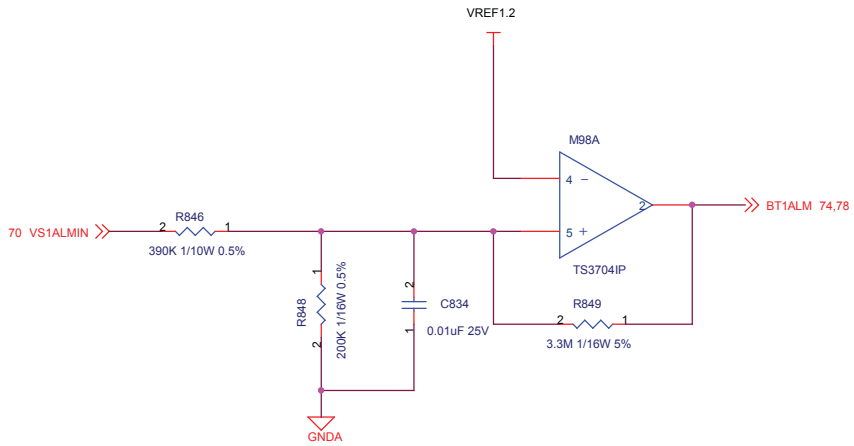
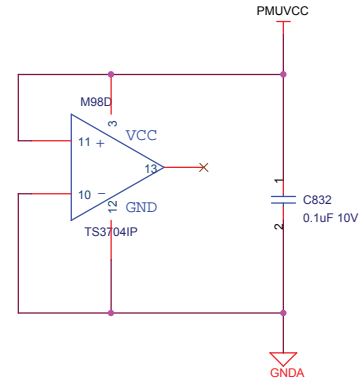
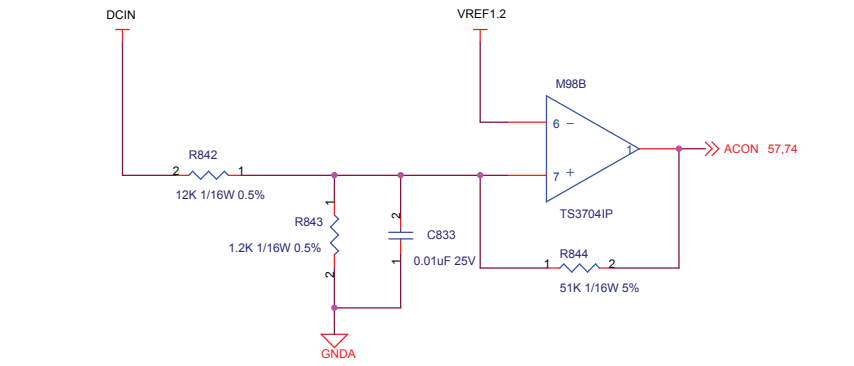
POW1,BTxDCHG

							名称	ANISE-E2 04	
							図番	C1CP051300-X4	
							提出先		
版	年月	設計	調査	承認	変更内				
設計			調査		変更	承認			
							富士通株式会社	69	81



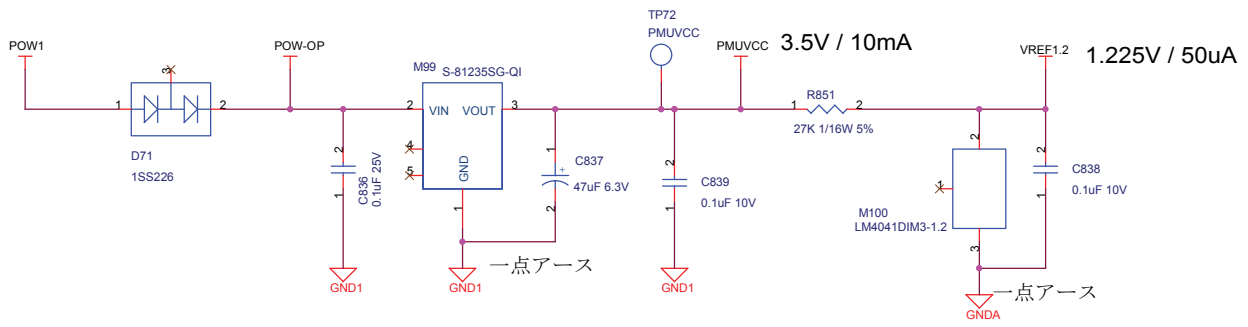
BTxVOL

						名称		ANISE-E2 04	
						图番		C1CP051300-X4	
						提出先			
版	年月	設計	調査	承認	変更内				
設計			調査		変更	承認	富士通株式会社		
							70 / 81		

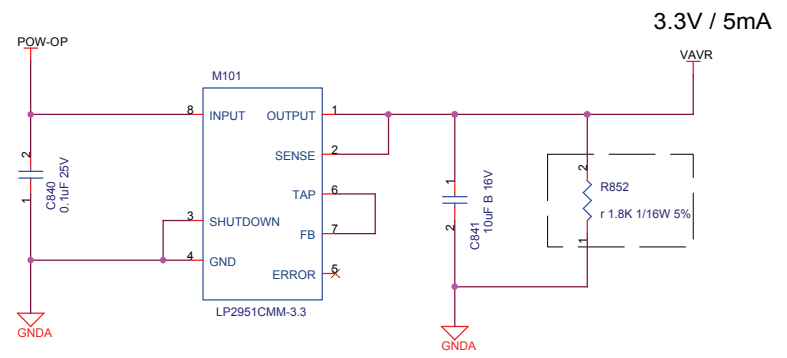


ACON,BTxALM

						名称		ANISE-E2 04	
						图番		C1CP051300-X4	
						提出先			
版	年月	設計	調査	承認	変更内		富士通株式会社		
設計			調査		変更	承認	71 / 81		

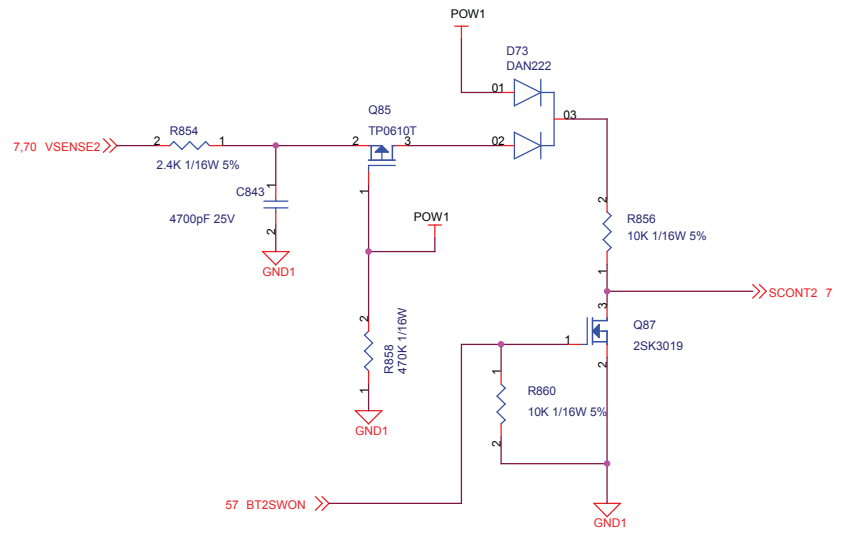
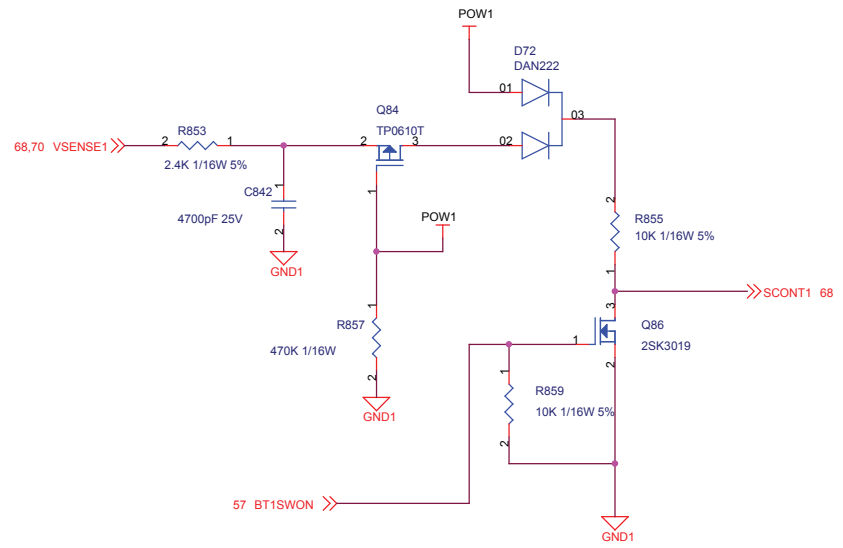


※C557, C560はS-81235SG-QIの近傍に配置し最短でパターン 風ミくこと。
 ※C558のGND1とS-81235SG-QIのGND1を一点アース /すること。
 ※LM4041DIM3-1. 2, R469, C559はM56 (TLC3704CPW)の近傍に配置すること。



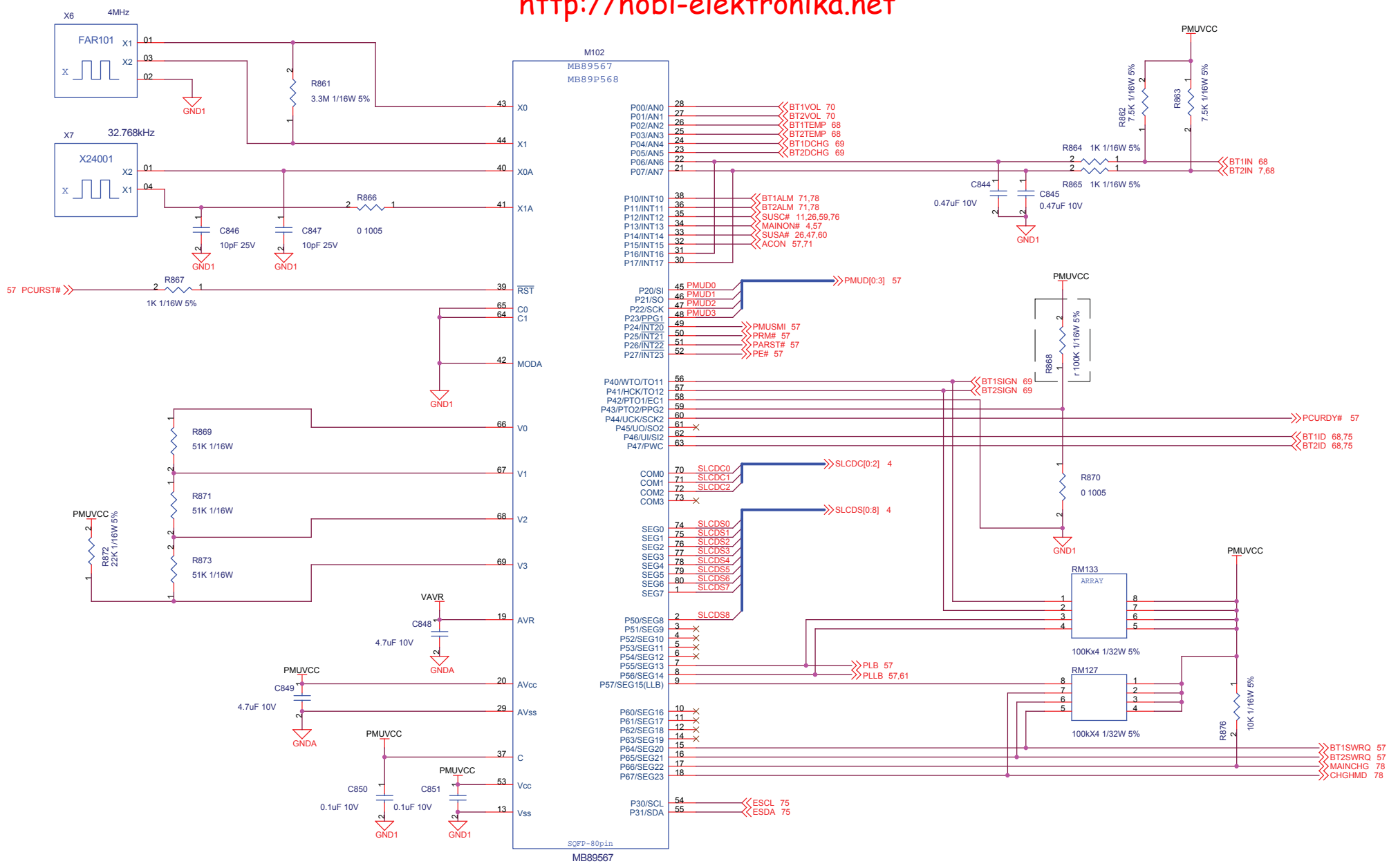
5VSTB, PMUVCC, VREF

						名称	ANISE-E2 04	
						図番	C1CP051300-X#	
						提出先		
版	年月	設計	調査	承認	変更内容	富士通株式会社		
設計			調査		承認	72 / 81		



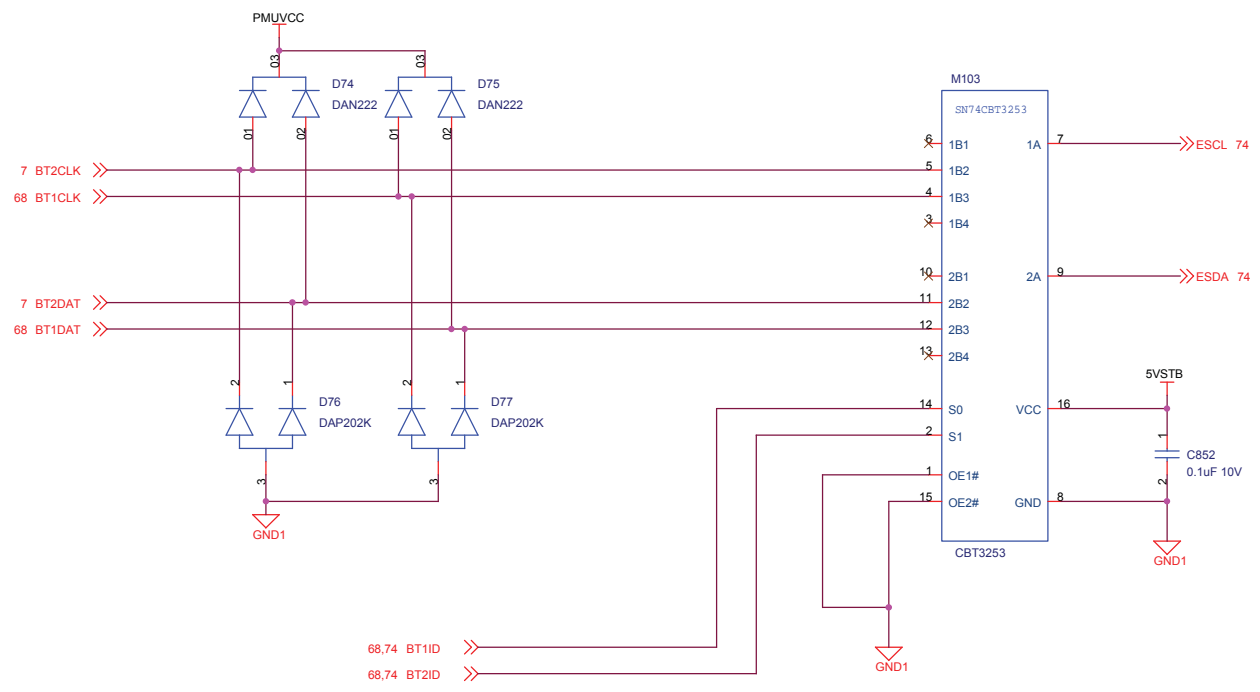
SCONTx

						名称		ANISE-E2 04	
						图番		C1CP051300-X#	
						提出先			
版	年月	設計	調査	承認	変更内				
設計			調査		変更	承認	富士通株式会社		
							73	/ 81	



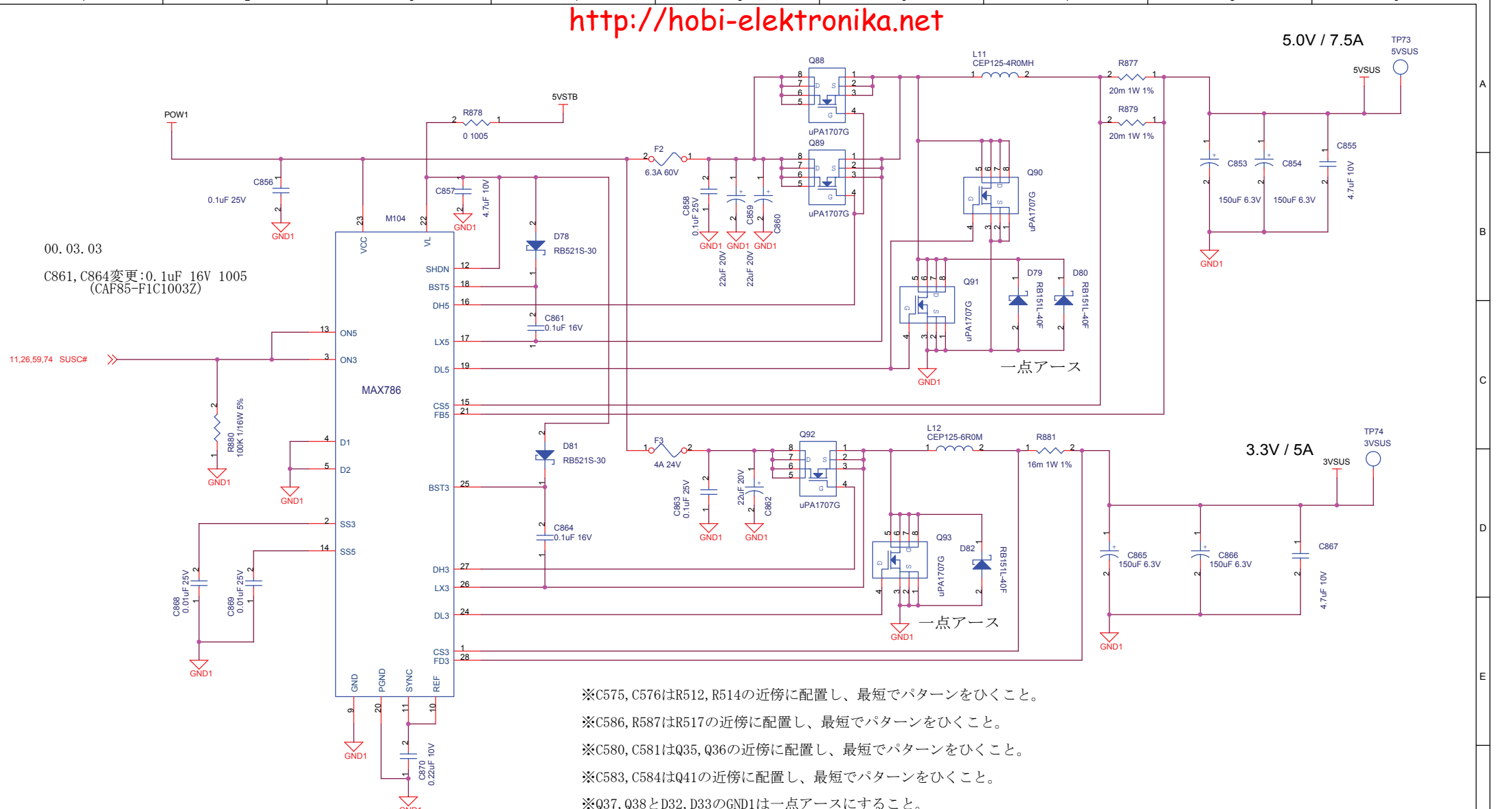
※ X5, X6, C568, C569, R478, R483はMB89567の近くに配置し、最短のパターンで引くこと。
 ※ MB89567の40, 41, 43, 44ピンはGND1でガードすること。

名称	ANISE-E2 04	
図番	C1CP051300-X#	
提出先		
版	年月	設計
設計		調査
承認		承認
変更		承認
変更		承認
富士通株式会社	74	81



BUS SW

						名称	ANISE-E2 04	
						图番	C1CP051300-X4	
版	年月	設計	調査	承認	変更	内	提出先	
設計			調査		容	承認	富士通株式会社	75 / 81



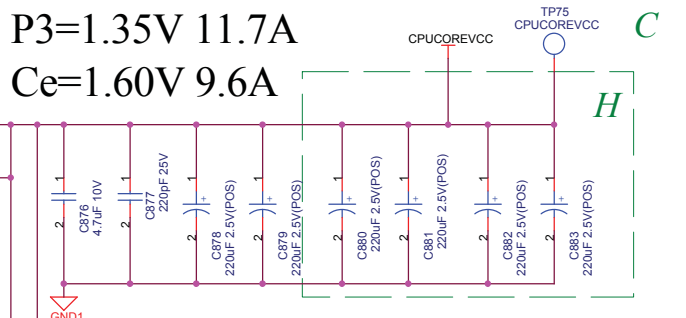
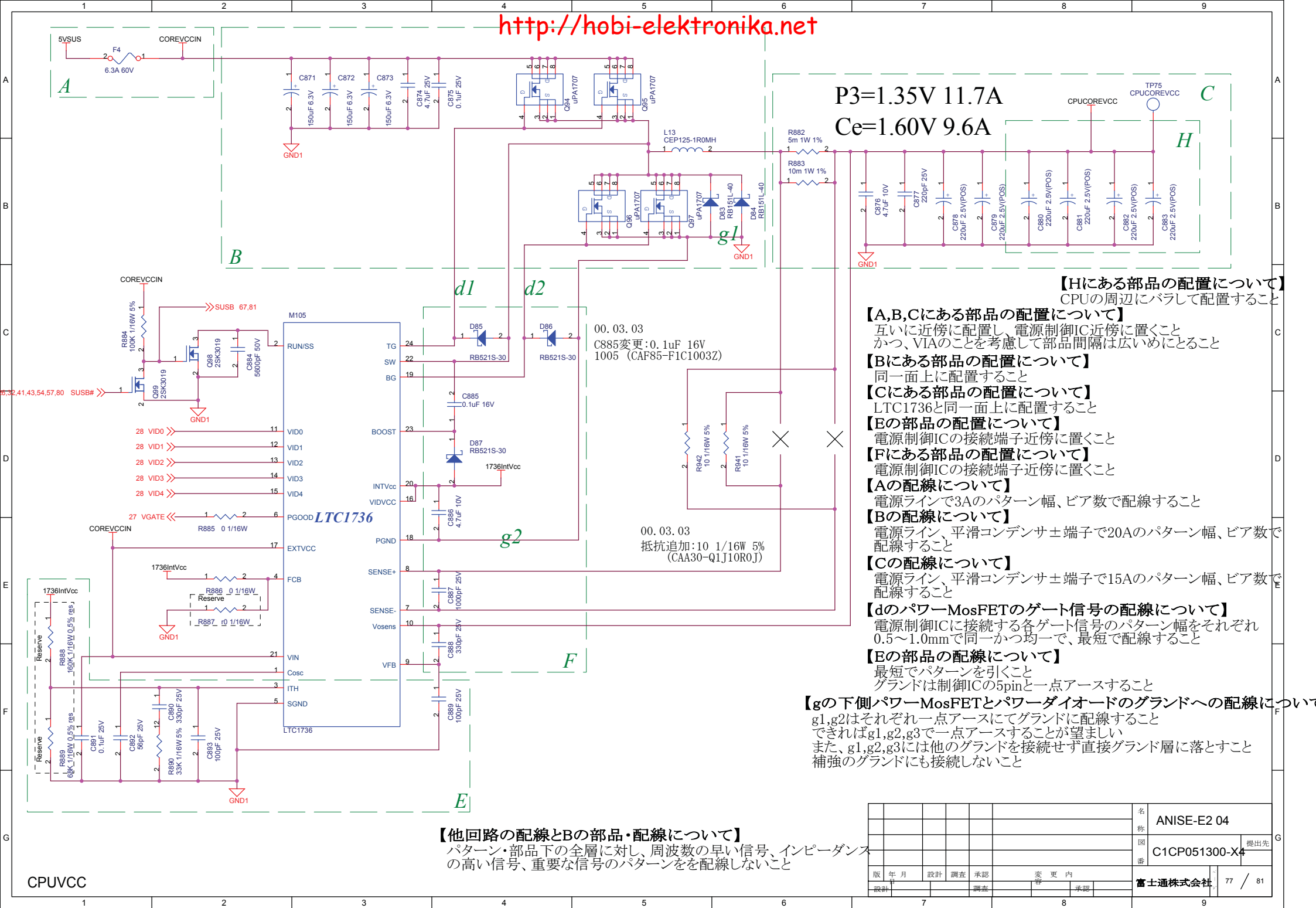
00.03.03
C861, C864変更:0.1uF 16V 1005
(CAF85-F1C1003Z)

00.03.03
C870変更:0.22uF 10V
1698(CAF70-F1A2203Z)
(C871, C872と同じ部品)

- ※C575, C576はR512, R514の近傍に配置し、最短でパターンをひくこと。
- ※C586, R587はR517の近傍に配置し、最短でパターンをひくこと。
- ※C580, C581はQ35, Q36の近傍に配置し、最短でパターンをひくこと。
- ※C583, C584はQ41の近傍に配置し、最短でパターンをひくこと。
- ※Q37, Q38とD32, D33のGND1は一点アースにすること。
- ※Q42とD36のGND1は一点アースにすること。
- ※R512, R514からSB3052Pの15, 21ピンは最短で等長/等太さでパターンをひくこと。
- ※R517からSB3052Pの1, 28ピンは最短で等長/等太さでパターンをひくこと。
- ※SB3052Pの16, 19, 24, 27ピンからQ35~Q38, Q41, Q42の4ピンへは最短でパターンをひくこと。

5VSUS, 3VSUS

						名	ANISE-E2 04	
						図	C1CP051300-X#	
						番	提出先	
版	年月	設計	調査	承認	変更	富士通株式会社		
設計			調査		承認		76	81



【Hにある部品の配置について】
CPUの周辺にバラして配置すること

【A,B,Cにある部品の配置について】
互いに近傍に配置し、電源制御IC近傍に置くこと
かつ、VIAのことを考慮して部品間隔は広いめにすること

【Bにある部品の配置について】
同一面上に配置すること

【Cにある部品の配置について】
LTC1736と同一面上に配置すること

【Eの部品の配置について】
電源制御ICの接続端子近傍に置くこと

【Fにある部品の配置について】
電源制御ICの接続端子近傍に置くこと

【Aの配線について】
電源ラインで3Aのパターン幅、ビア数で配線すること

【Bの配線について】
電源ライン、平滑コンデンサ±端子で20Aのパターン幅、ビア数で配線すること

【Cの配線について】
電源ライン、平滑コンデンサ±端子で15Aのパターン幅、ビア数で配線すること

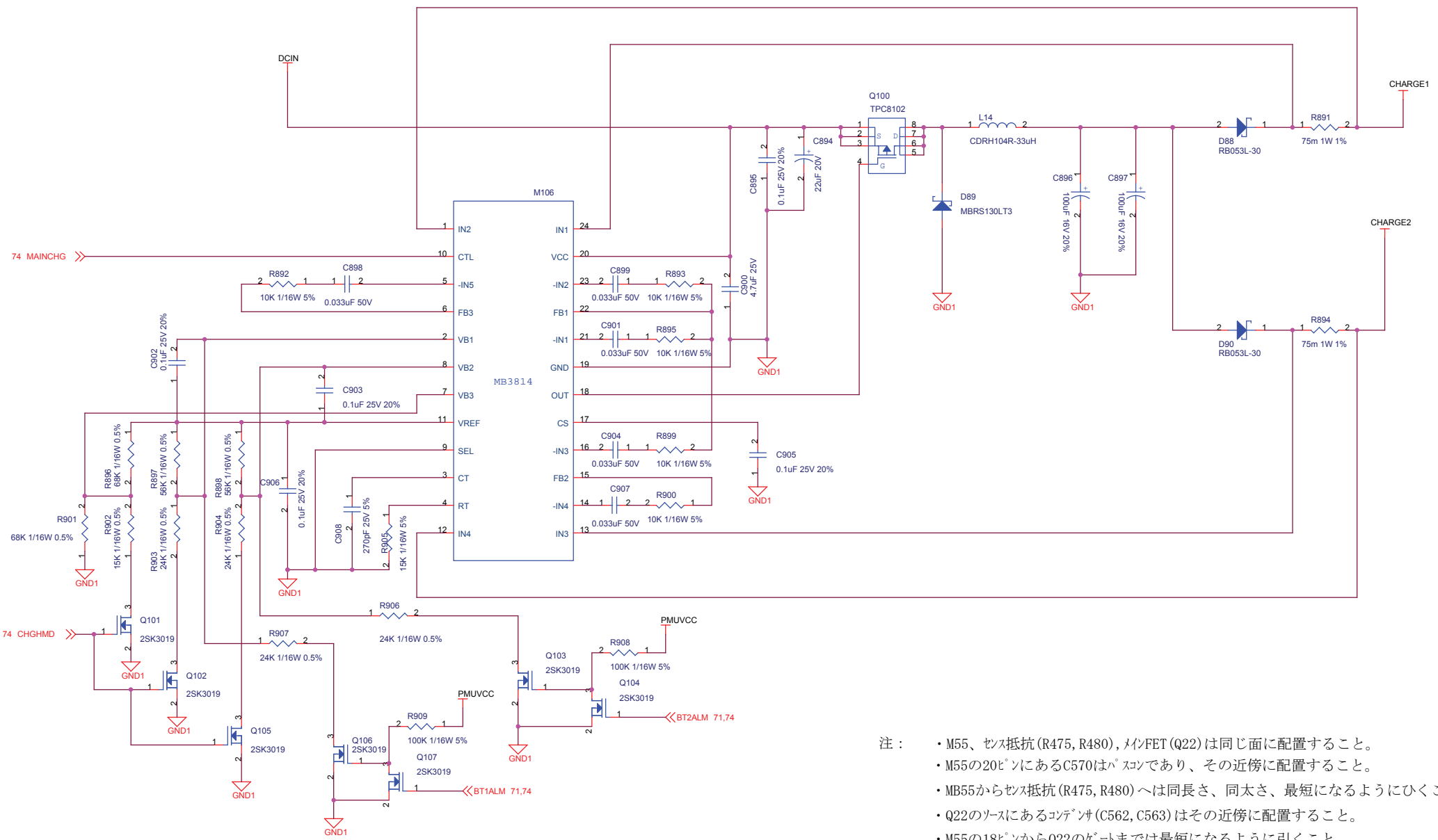
【dのパワーMosFETのゲート信号の配線について】
電源制御ICに接続する各ゲート信号のパターン幅をそれぞれ0.5~1.0mmで同一かつ均一で、最短で配線すること

【Eの部品の配線について】
最短でパターンを引くこと
グラウンドは制御ICの5pinと一点アースすること

【gの下側パワーMosFETとパワーダイオードのグラウンドへの配線について】
g1,g2はそれぞれ一点アースにてグラウンドに配線すること
できればg1,g2,g3で一点アースすることが望ましい
また、g1,g2,g3には他のグラウンドを接続せず直接グラウンド層に落とすこと
補強のグラウンドにも接続しないこと

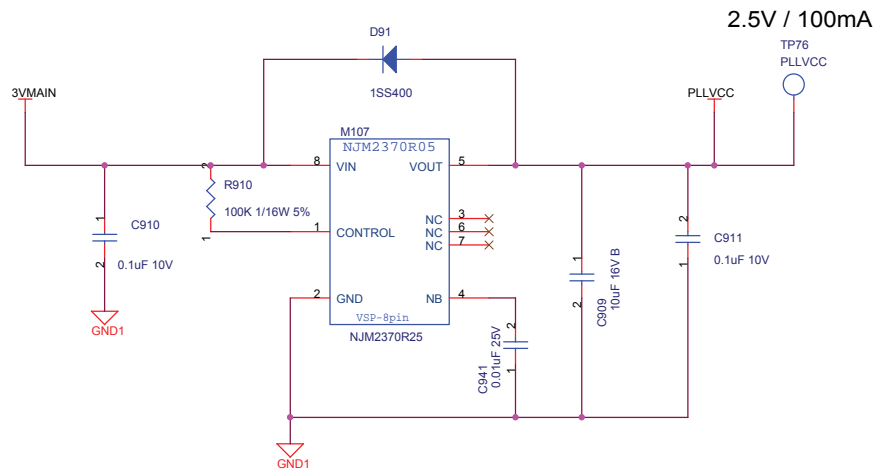
【他回路の配線とBの部品・配線について】
パターン・部品下の全層に対し、周波数の早い信号、インピーダンスの高い信号、重要な信号のパターンをを配線しないこと

						名	ANISE-E2 04	
						称		
						図	C1CP051300-X#	
						番	提出先	
版	年月	設計	調査	承認	変更	富士通株式会社		
設計			調査	承認	承認	77 / 81		



- 注：
- ・M55、センス抵抗 (R475, R480)、メインFET (Q22) は同じ面に配置すること。
 - ・M55の20ピンにあるC570はパルスコンデンサであり、その近傍に配置すること。
 - ・MB55からセンス抵抗 (R475, R480) へは同長さ、同太さ、最短になるようにひくこと。
 - ・Q22のソースにあるコンデンサ (C562, C563) はその近傍に配置すること。
 - ・M55の18ピンからQ22のゲートまでは最短になるように引くこと。
 - ・M55の19ピンはC57のGND側と一点アース後GND1へ落とすこと。

						名	ANISE-E2 04	
						図	C1CP051300-X4	
						番		
版	年月	設計	調査	承認	変更	承認		
設計						富士通株式会社		
							78	81



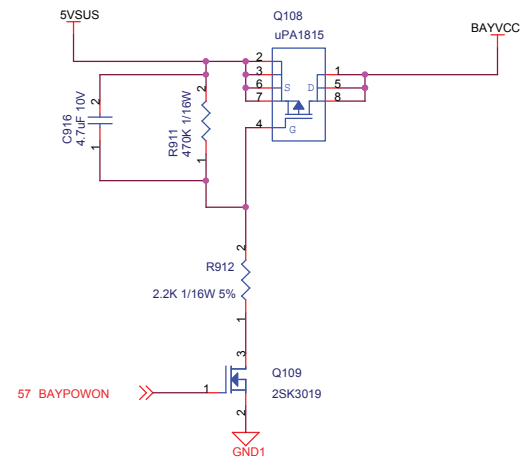
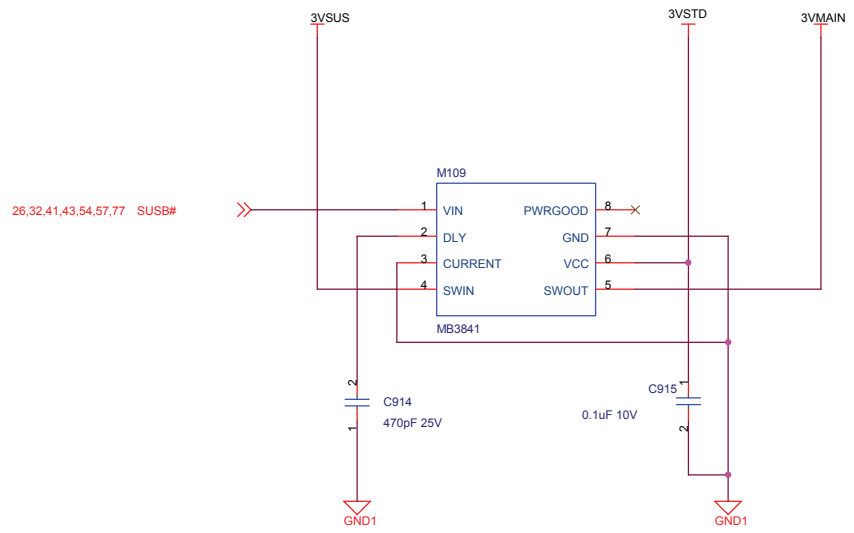
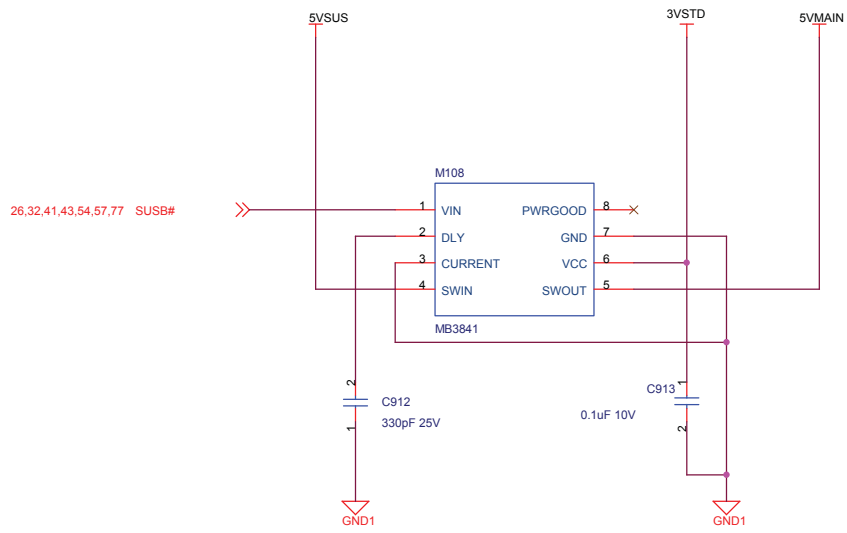
00. 03. 03

C909変更:10uF 16V B(CAF81-R1C1005K)

セラコン追加:0.01uF
25V (CAF34-F1E1002Z)

						名称	ANISE-E2 04	
						図番	C1CP051300-X4	提出先
						設計		
						調査		
						承認		
						変更		
						承認		
						富士通株式会社		79 / 81

CPUVCCP, PLLVCC

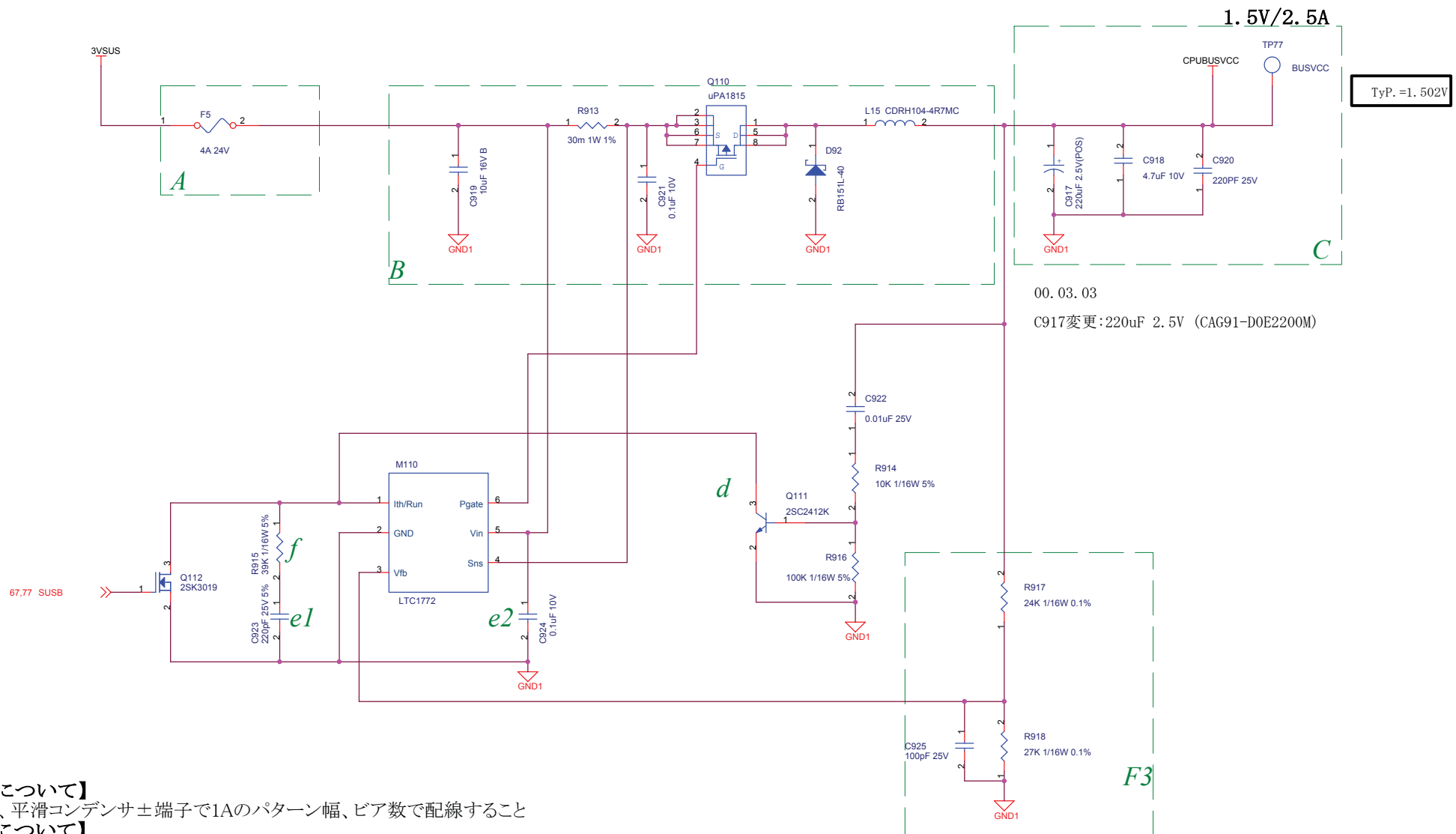


5VMAN,3VMAN

						名称		ANISE-E2 04	
						图番		C1CP051300-X4	
						提出先			
版	年月	設計	調査	承認	変更内		富士通株式会社		
設計			調査		変更	承認	80 / 81		

1.5V/2.5A

TYP. = 1.502V



【Aの配線について】

電源ライン、平滑コンデンサ端子で1Aのパターン幅、ビア数で配線すること

【Bの配線について】

電源ライン、平滑コンデンサ端子で3.5Aのパターン幅、ビア数で配線すること

【Cの配線について】

電源ライン、平滑コンデンサ端子で2.5Aのパターン幅、ビア数で配線すること

【dのパワーMosFETのゲート信号の配線について】

電源制御ICに接続する各ゲート信号のパターン幅をそれぞれ0.5~1.0mmで同一かつ均一で、最短で配線すること

【eの部品の配線について】

最短でパターンを引くこと
グランドは制御ICの2pinと一点アースすること

【他回路の配線とBの部品・配線について】

パターン・部品下の全層に対し、周波数の早い信号、インピーダンスの高い信号、重要な信号のパターンをを配線しないこと

【A,B,Cにある部品の配置について】

互いに近傍に配置し、電源制御IC近傍に置くこと

【Eの部品の配置について】

電源制御ICの接続端子近傍に置くこと

【Fにある部品の配置について】

電源制御ICの接続端子近傍に置くこと

名称	ANISE-E2 04	
図番	C1CP051300-X4	提出先
版	年月	設計
調査	承認	変更
調査	承認	承認
富士通株式会社		81 / 81